

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasuyoshi ITOH, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-182441	June 24, 2002
Japan	2003-009516	January 17, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月24日

出 願 番 号

Application Number:

特願2002-182441

[ST.10/C]:

[JP2002-182441]

出 願 人

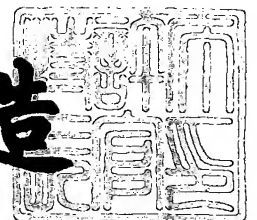
Applicant(s):

三菱電機株式会社

2002年 7月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3054555

【書類名】 特許願

【整理番号】 539376JP01

【提出日】 平成14年 6月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 伊藤 康悦

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 上野 修一

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 味香 夏夫

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 表面に溝を有する半導体基板と、

前記半導体基板内において前記表面に面して形成されたソース領域、前記ソース領域とは前記溝を介して離隔して、前記半導体基板内において前記表面に面して形成されたドレイン領域、前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に、前記溝に入り込むように形成されたゲート絶縁膜、および、前記ゲート絶縁膜上に、前記溝に入り込むように形成されたゲート電極を含むM I S (Metal Insulator Semiconductor) トランジスタとを備え、

前記ゲート絶縁膜中には、電荷を保持することが可能な第 1 および第 2 の電荷保持部が前記溝を挟むように形成されている

半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、

前記ゲート絶縁膜は、第 1 のシリコン酸化膜、シリコン窒化膜、および、第 2 のシリコン酸化膜の順に積層された積層膜であって、

前記第 1 および第 2 の電荷保持部とは、前記シリコン窒化膜のうち前記溝を挟む、互いに対向する第 1 および第 2 の部分である

半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置であって、

前記ゲート絶縁膜のうち前記溝に入り込んだ部分には、前記第 1 および第 2 の電荷保持部は形成されない

半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置であって、

前記半導体基板上には、他のソース領域、他のドレイン領域、他のゲート絶縁膜および他のゲート電極を有する他のM I S トランジスタも形成されている

半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置であって、

前記ゲート絶縁膜のうち前記溝に入り込んだ部分には、前記第 1 および第 2 の電荷保持部は形成されず、かつ、前記他の M I S トランジスタの前記他のゲート絶縁膜が延在して形成されている

半導体装置。

【請求項 6】 請求項 1 に記載の半導体装置であって、

前記第 1 および第 2 の電荷保持部は、前記ソース領域および前記ドレイン領域上で終端している

半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置であって、

前記第 1 および第 2 の電荷保持部の前記終端部分には、前記終端部分を覆う絶縁膜が形成された

半導体装置。

【請求項 8】 請求項 1 に記載の半導体装置であって、

前記溝の上端部および底部の角部分は丸められている

半導体装置。

【請求項 9】 請求項 1 に記載の半導体装置であって、

前記第 1 および第 2 の電荷保持部は、前記ゲート絶縁膜内に複数形成されたドットである

半導体装置。

【請求項 1 0】 請求項 9 に記載の半導体装置であって、

前記ドットは、シリコンまたはシリコン窒化膜で構成される

半導体装置。

【請求項 1 1】 (a) 表面を有する半導体基板を準備する工程と、

(b) 前記半導体基板の前記表面にエッチング技術を用いて溝を形成する工程と、

(c) ソース領域およびドレイン領域を不純物注入により、前記半導体基板内において前記表面に面した位置に、両者間に前記溝を挟むようにして形成する工程と、

(d) 前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟ま

れた部分の上に、電荷を保持することが可能な電荷保持部を含むゲート絶縁膜を形成する工程と、

(e) 前記ゲート絶縁膜上にゲート電極を形成してM I Sトランジスタを完成する工程と
を備え、

前記ゲート絶縁膜は、第1のシリコン酸化膜、シリコン窒化膜、および、第2のシリコン酸化膜の順に積層された積層膜であり、

前記工程(d)は、

(d1) 前記第1のシリコン酸化膜および前記シリコン窒化膜を形成し終えた段階で、フォトリソグラフィ技術およびエッチング技術により前記第1のシリコン酸化膜および前記シリコン窒化膜にパターニングを施す工程と、

(d2) パターニングされた前記第1のシリコン酸化膜および前記シリコン窒化膜をマスクとして用いて、前記ソース領域および前記ドレイン領域内に、素子分離領域を形成する工程と
を含む半導体装置の製造方法。

【請求項12】 (a) 表面を有する半導体基板を準備する工程と、

(b) 前記半導体基板の前記表面にエッチング技術を用いて溝を形成する工程と、

(c) ソース領域およびドレイン領域を不純物注入により、前記半導体基板内において前記表面に面した位置に、両者間に前記溝を挟むようにして形成する工程と、

(d) 前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に、電荷を保持することが可能な電荷保持部を含むゲート絶縁膜を形成する工程と、

(e) 前記ゲート絶縁膜上にゲート電極を形成してM I Sトランジスタを完成する工程と
を備え、

(a1) 前記工程(a)の後に、前記半導体基板の前記表面にダミー膜を形成する工程と、

(a 2) 前記ダミー膜上に前記ダミー膜に対してエッチング選択性を有する第 1 のマスク膜を形成する工程と、

(a 3) フトリソグラフィ技術およびエッチング技術により、前記ダミー膜および前記第 1 のマスク膜にパターニングを施して第 1 の開口部を設ける工程と

(a 4) 前記第 1 の開口部に露出する前記半導体基板の前記表面に素子分離領域を形成する工程と、

(a 5) 前記第 1 の開口部内に前記第 1 のマスク膜に対してエッチング選択性を有する層間絶縁膜を埋め込む工程と、

(a 6) 前記層間絶縁膜および前記ダミー膜を残しつつ前記第 1 のマスク膜をエッチングにより除去する工程と、

(a 7) 前記層間絶縁膜および前記ダミー膜上に、この両者に対してエッチング選択性を有する第 2 のマスク膜を形成して、これにエッチバックを施すことにより、前記第 1 のマスク膜の除去部分においてサイドウォール膜を形成する工程と

をさらに備え、

前記工程 (b) において、前記層間絶縁膜および前記サイドウォール膜をマスクとしつつ前記溝を形成し、

(b 1) 前記工程 (b) の後に、前記溝内に前記サイドウォール膜に対してエッチング選択性を有する S O G (Spin On Glass) を埋め込む工程と、

(b 2) 前記 S O G、前記ダミー膜および前記層間絶縁膜を残しつつ前記サイドウォール膜をエッチングにより除去する工程と、

(b 3) 前記 S O G および前記ダミー膜を除去する工程と

をさらに備える半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、不揮発性メモリのメモリセルに利用される半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

不揮発性メモリのメモリセルに利用される半導体装置の一つに、図35に示す構造のMONOS (Metal Oxide Nitride Oxide Semiconductor) トランジスタがある。このMONOSトランジスタは、半導体基板110内に形成されたソース領域111sおよびドレイン領域111dと、半導体基板110上に形成されたゲート絶縁膜120と、ゲート絶縁膜120上に形成されたゲート電極130とを備える。

【0003】

このうちゲート絶縁膜120は、シリコン酸化膜121、シリコン窒化膜122およびシリコン酸化膜123の順に積層された積層膜である。メモリセルとしてこのMONOSトランジスタにプログラム（書き込み）動作を行う場合、半導体基板110、ゲート電極130、ソース領域111sおよびドレイン領域111dの各部に適当な電圧を印加することにより、シリコン窒化膜122中の例えばドレイン領域111d側に電子等の電荷CH1をトラップさせる。一方、イレース（消去）動作を行う場合も、上記各部に適当な電圧を印加することにより、トラップされている電荷CH1を引き抜く。

【0004】

電荷CH1がトラップされている場合には、トラップされていない場合に比べてMONOSトランジスタのしきい値電圧に変化が生じる。よって、このしきい値電圧の変化を検出することにより、メモリセルに1ビットの情報が記憶されているか否かを判断する。

【0005】

なお、図36は、複数の図35のMONOSトランジスタで構成された不揮発性メモリ101の上面図である。この不揮発性メモリ101においては、ソース領域111sおよびドレイン領域111dを含むソース／ドレイン領域111がビット線として機能し、ゲート電極130がワード線として機能する。なお、図36中のメモリセルCLの部分における断面を示したのが図35であり、メモリセルCL中のデータ蓄積領域DRに電荷CH1がトラップされることになる。

【 0 0 0 6 】

図 3 7 および図 3 8 はいずれも、図 3 6 に示した不揮発性メモリ 1 0 1 のより具体的な構造の一例を示す斜視図である。図 3 7 の不揮発性メモリ 1 0 1 A では、隣接するメモリセル C L のうちソース領域 1 1 1 s およびドレイン領域 1 1 1 d の部分に素子分離領域 1 4 0 が形成されている。また、ゲート絶縁膜 1 2 0 は、チャンネル長方向においてメモリセルごとに区切られている。

【 0 0 0 7 】

一方、図 3 8 の不揮発性メモリ 1 0 1 B では、図 3 7 中の素子分離領域 1 4 0 に相当する部分を有しない。また、ゲート絶縁膜 1 2 0 は、チャンネル長方向においてメモリセルごとに区切られることはなく連続している。なお、図 3 7 および図 3 8 の不揮発性メモリ 1 0 1 A、1 0 1 B はいずれも、MONOS トランジスタ上に形成された層間絶縁膜 1 5 0 を、その下部構造の表示を遮らないよう透明化して図示している。

【 0 0 0 8 】

【発明が解決しようとする課題】

図 3 9 に示すように、不揮発性メモリ 1 0 1 のメモリセルたる MONOS トランジスタ（図 3 5 の MONOS トランジスタと同様の構造であるが、さらにサイドウォール絶縁膜 1 6 0 を備えている）のチャンネル長がスケーリングの進行（素子の微細化）により短くなったとしても、トラップされた電荷 C H 1 の誘起する電界 E F 1 の実効的な範囲は変わることがない。

【 0 0 0 9 】

さて、この MONOS トランジスタにおいては、シリコン窒化膜 1 2 2 中のドレイン領域 1 1 1 d 側にだけ電荷 C H 1 をトラップさせるだけではなく、ソース領域 1 1 1 s 側にも電荷をトラップさせることが可能である。そこで、ソース／ドレインのそれぞれの側に電荷をトラップさせれば、一つのメモリセルで 2 ビットの情報を保持することが可能となる。

【 0 0 1 0 】

図 4 0 のうち上側の MONOS トランジスタは、ソース／ドレインのそれぞれの側に電荷をトラップさせた場合を示している。ここでは、ドレイン領域 1 1 1

d 側にトラップさせた電荷 C H 1 を b i t 1 と表示し、ソース領域 1 1 1 s 側にトラップさせた電荷 C H 2 を b i t 2 と表示している。

【 0 0 1 1 】

さて、図 4 0 のうち下側に示すように、ソース／ドレインの両側に電荷をトラップさせる場合も、スケーリングによりチャネル長が短くなる。このとき、ソース／ドレインのそれぞれの側に電荷をトラップさせようとする、最初にトラップされた電荷 C H 1 の誘起する電界 E F 1 の斥力により、電荷 C H 2 のトラップが妨げられる場合がある（図 4 0 中の電荷 C H 2 a）。よって、従来の半導体装置の構造のままでは、スケーリングが進んだときに、一つのメモリセルに多ビットの情報を保持させることが困難となる。

【 0 0 1 2 】

そこで、この発明の課題は、不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置およびその製造方法を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

請求項 1 に記載の発明は、表面に溝を有する半導体基板と、前記半導体基板内において前記表面に面して形成されたソース領域、前記ソース領域とは前記溝を介して離隔して、前記半導体基板内において前記表面に面して形成されたドレイン領域、前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に、前記溝に入り込むように形成されたゲート絶縁膜、および、前記ゲート絶縁膜上に、前記溝に入り込むように形成されたゲート電極を含む M I S (Metal Insulator Semiconductor) トランジスタとを備え、前記ゲート絶縁膜中には、電荷を保持することが可能な第 1 および第 2 の電荷保持部が前記溝を挟むように形成されている半導体装置である。

【 0 0 1 4 】

請求項 2 に記載の発明は、請求項 1 に記載の半導体装置であって、前記ゲート絶縁膜は、第 1 のシリコン酸化膜、シリコン窒化膜、および、第 2 のシリコン酸化膜の順に積層された積層膜であって、前記第 1 および第 2 の電荷保持部とは、

前記シリコン窒化膜のうち前記溝を挟む、互いに対向する第 1 および第 2 の部分である半導体装置である。

【 0 0 1 5 】

請求項 3 に記載の発明は、請求項 1 に記載の半導体装置であって、前記ゲート絶縁膜のうち前記溝に入り込んだ部分には、前記第 1 および第 2 の電荷保持部は形成されない半導体装置である。

【 0 0 1 6 】

請求項 4 に記載の発明は、請求項 1 に記載の半導体装置であって、前記半導体基板上には、他のソース領域、他のドレイン領域、他のゲート絶縁膜および他のゲート電極を有する他の M I S トランジスタも形成されている半導体装置である。

【 0 0 1 7 】

請求項 5 に記載の発明は、請求項 4 に記載の半導体装置であって、前記ゲート絶縁膜のうち前記溝に入り込んだ部分には、前記第 1 および第 2 の電荷保持部は形成されず、かつ、前記他の M I S トランジスタの前記他のゲート絶縁膜が延在して形成されている半導体装置である。

【 0 0 1 8 】

請求項 6 に記載の発明は、請求項 1 に記載の半導体装置であって、前記第 1 および第 2 の電荷保持部は、前記ソース領域および前記ドレイン領域上で終端している半導体装置である。

【 0 0 1 9 】

請求項 7 に記載の発明は、請求項 6 に記載の半導体装置であって、前記第 1 および第 2 の電荷保持部の前記終端部分には、前記終端部分を覆う絶縁膜が形成された半導体装置である。

【 0 0 2 0 】

請求項 8 に記載の発明は、請求項 1 に記載の半導体装置であって、前記溝の上端部および底部の角部分は丸められている半導体装置である。

【 0 0 2 1 】

請求項 9 に記載の発明は、請求項 1 に記載の半導体装置であって、前記第 1 お

よび第2の電荷保持部は、前記ゲート絶縁膜内に複数形成されたドットである半導体装置である。

【0022】

請求項10に記載の発明は、請求項9に記載の半導体装置であって、前記ドットは、シリコンまたはシリコン窒化膜で構成される半導体装置である。

【0023】

請求項11に記載の発明は、(a)表面を有する半導体基板を準備する工程と、(b)前記半導体基板の前記表面にエッチング技術を用いて溝を形成する工程と、(c)ソース領域およびドレイン領域を不純物注入により、前記半導体基板内において前記表面に面した位置に、両者間に前記溝を挟むようにして形成する工程と、(d)前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に、電荷を保持することが可能な電荷保持部を含むゲート絶縁膜を形成する工程と、(e)前記ゲート絶縁膜上にゲート電極を形成してMISトランジスタを完成する工程とを備え、前記ゲート絶縁膜は、第1のシリコン酸化膜、シリコン窒化膜、および、第2のシリコン酸化膜の順に積層された積層膜であり、前記工程(d)は、(d1)前記第1のシリコン酸化膜および前記シリコン窒化膜を形成し終えた段階で、フォトリソグラフィ技術およびエッチング技術により前記第1のシリコン酸化膜および前記シリコン窒化膜にパターニングを施す工程と、(d2)パターニングされた前記第1のシリコン酸化膜および前記シリコン窒化膜をマスクとして用いて、前記ソース領域および前記ドレイン領域内に、素子分離領域を形成する工程とを含む半導体装置の製造方法である。

【0024】

請求項12に記載の発明は、(a)表面を有する半導体基板を準備する工程と、(b)前記半導体基板の前記表面にエッチング技術を用いて溝を形成する工程と、(c)ソース領域およびドレイン領域を不純物注入により、前記半導体基板内において前記表面に面した位置に、両者間に前記溝を挟むようにして形成する工程と、(d)前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に、電荷を保持することが可能な電荷保持部を含むゲート絶縁膜を形成する工程と、(e)前記ゲート絶縁膜上にゲート電極を形成してMIS

Sトランジスタを完成する工程とを備え、(a 1) 前記工程 (a) の後に、前記半導体基板の前記表面にダミー膜を形成する工程と、(a 2) 前記ダミー膜上に前記ダミー膜に対してエッチング選択性を有する第 1 のマスク膜を形成する工程と、(a 3) フォトリソグラフィ技術およびエッチング技術により、前記ダミー膜および前記第 1 のマスク膜にパターニングを施して第 1 の開口部を設ける工程と、(a 4) 前記第 1 の開口部に露出する前記半導体基板の前記表面に素子分離領域を形成する工程と、(a 5) 前記第 1 の開口部内に前記第 1 のマスク膜に対してエッチング選択性を有する層間絶縁膜を埋め込む工程と、(a 6) 前記層間絶縁膜および前記ダミー膜を残しつつ前記第 1 のマスク膜をエッチングにより除去する工程と、(a 7) 前記層間絶縁膜および前記ダミー膜上に、この両者に対してエッチング選択性を有する第 2 のマスク膜を形成して、これにエッチバックを施すことにより、前記第 1 のマスク膜の除去部分においてサイドウォール膜を形成する工程とをさらに備え、前記工程 (b) において、前記層間絶縁膜および前記サイドウォール膜をマスクとしつつ前記溝を形成し、(b 1) 前記工程 (b) の後に、前記溝内に前記サイドウォール膜に対してエッチング選択性を有する SOG (Spin On Glass) を埋め込む工程と、(b 2) 前記 SOG、前記ダミー膜および前記層間絶縁膜を残しつつ前記サイドウォール膜をエッチングにより除去する工程と、(b 3) 前記 SOG および前記ダミー膜を除去する工程とをさらに備える半導体装置の製造方法である。

【 0 0 2 5 】

【発明の実施の形態】

＜実施の形態 1＞

本実施の形態は、チャネル部分に溝が形成され、ゲート絶縁膜中のシリコン窒化膜が電荷保持部として溝を挟むように形成された構造の MONOS トランジスタを備える半導体装置である。

【 0 0 2 6 】

図 1 は、本実施の形態に係る半導体装置の備える MONOS トランジスタを示す図である。図 1 に示すように、この MONOS トランジスタは、シリコン基板等の半導体基板 110 内に形成されたソース領域 111s およびドレイン領域 1

1 1 d と、半導体基板 1 1 0 上に形成されたゲート絶縁膜 1 2 0 と、ゲート絶縁膜 1 2 0 上に形成されたゲート電極 1 3 0 とを備える。このうちゲート絶縁膜 1 2 0 は、シリコン酸化膜 1 2 1、シリコン窒化膜 1 2 2 およびシリコン酸化膜 1 2 3 の順に積層された積層膜である。

【 0 0 2 7 】

さて、本実施の形態においては、半導体基板 1 1 0 の表面のうちソース領域 1 1 1 s およびドレイン領域 1 1 1 d 間のチャネル部分に、溝 T R 1 が形成されている。また、ゲート絶縁膜 1 2 0 およびゲート電極 1 3 0 は、いずれも溝 T R 1 に入り込むように形成されている。そして、シリコン窒化膜 1 2 2 のうち、溝 T R 1 を挟む、互いに対向するソース側部分およびドレイン側部分が、電荷 C H 1、C H 2 を保持することが可能な第 1 および第 2 の電荷保持部として機能する。

【 0 0 2 8 】

このように、チャネル中央付近に溝 T R 1 を形成し、溝 T R 1 内にゲート電極 1 3 0 が入り込むように形成されておれば、第 1 の電荷保持部に電荷 C H 1 をトラップさせた後に第 2 の電荷保持部に電荷 C H 2 をトラップさせる場合に、ゲート電極のうち溝 T R 1 内の部分 1 3 0 a がシールドの役割を果たす。

【 0 0 2 9 】

MONOS トランジスタにプログラム動作およびイレース動作を行う場合は、ゲート電極 1 3 0 に例えば 0 [V] や 3 [V] といった固定電位が与えられる。これにより、第 1 の電荷保持部の電荷 C H 1 の誘起する電界 E F 1 の影響が第 2 の電荷保持部に及ぶことがなく、スケーリングが進んだ場合であっても第 2 の電荷保持部への電荷 C H 2 のトラップが妨げられることがないからである。

【 0 0 3 0 】

よって、この MONOS トランジスタを不揮発性メモリのメモリセルに適用すれば、不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置を実現できる。もちろん、図 1 に記載の MONOS トランジスタを複数、半導体基板 1 1 0 上に形成し、図 3 6 ～図 3 8 のようにアレイ状に配置すれば、複数のメモリセルからなる不揮発性メモリを構成できる。

【 0 0 3 1 】

メモリセルとして、このMONOSTランジスタにプログラム動作およびイレース動作を行う場合は、図35に示したのと同様にして、半導体基板110、ゲート電極130、ソース領域111sおよびドレイン領域111dの各部に適当な電圧を印加することにより行えばよい。なお、ソース領域111sおよびドレイン領域111dの電位を浮遊状態とし、ゲート電極130と半導体基板110との間に所定の電位差を与えれば、第1および第2の電荷保持部にトラップされた電荷CH1、CH2を一括してゲート電極130に引き抜くことが可能であり、一括消去時に便利となる。また、トラップさせる電荷CH1、CH2は電子に限られるわけではなく、例えば正孔であってもよい。

【 0 0 3 2 】

なお、ソース領域111sおよびドレイン領域111d間に溝TR1が形成されているので、実効チャネル長LGが大きくなり、パンチスルーへの耐性も向上する。

【 0 0 3 3 】

<実施の形態2>

本実施の形態は、実施の形態1に係る半導体装置の製造方法の一例である。

【 0 0 3 4 】

まず、図2に示すように、半導体基板110上に、フォトリジストやシリコン酸化膜、シリコン窒化膜等のマスク201を形成し、これに開口部OP1を設けて半導体基板1の表面に溝TR1を異方性エッチングにより形成する。

【 0 0 3 5 】

次に、ウェル形成やチャネルドープなどを行う。その後、図3に示すように、フォトリジスト等のマスク202を形成して、LDD (Lightly Doped Drain) 領域111sa, 111daを不純物注入IP1により、半導体基板1内において表面に面した位置に、両者間に溝TR1を挟むようにして形成する。この後、同様にしてLDD領域111sa, 111daよりも高濃度の不純物注入を行って、ソース領域111sおよびドレイン領域111dを形成する。

【 0 0 3 6 】

そして、半導体基板 1 上にゲート絶縁膜 1 2 0 を形成する（図 4）。ここで、ゲート絶縁膜 1 2 0 は、シリコン酸化膜 1 2 1、シリコン窒化膜 1 2 2、および、シリコン酸化膜 1 2 3 の順に積層された積層膜であるが、本実施の形態においては、シリコン窒化膜 1 2 2 を素子分離領域 1 4 0 形成用のマスクとして用いる。

【 0 0 3 7 】

すなわち、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 を形成し終えた段階で、フォトリソグラフィ技術およびエッチング技術によりシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 にパターニングを施す。そして、パターニングされたシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d 内に、素子分離領域 1 4 0 を例えば LOCOS (LOCal Oxidation of Silicon) 法等により形成する。そして、半導体基板 1 上の全面にシリコン酸化膜 1 2 3 を形成する。

【 0 0 3 8 】

その後、ゲート絶縁膜 1 2 3 上にゲート電極 1 3 0 を形成すれば、実施の形態 1 において示した MONOS トランジスタが完成する。

【 0 0 3 9 】

このようにすれば、実施の形態 1 に係る半導体装置を製造することができる。また、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて素子分離領域 1 4 0 を形成するので、新たにマスク形成することなく素子分離領域 1 4 0 をゲート絶縁膜 1 2 0 の形成途中に形成できる。よって、製造工程が簡略化でき、低コスト化が図れる。

【 0 0 4 0 】

なお、本実施の形態においては、LDD 領域 1 1 1 s a, 1 1 1 d a の形成を先に行った後、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成する場合について説明した。

【 0 0 4 1 】

しかし、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の形成後に、LDD 領域 1 1 1 s a, 1 1 1 d a の形成を行っても良い。

【 0 0 4 2 】

その場合には、半導体基板 1 1 0 上にフォトリソ等マスクを形成して、まず L D D 領域を含まないソース領域およびドレイン領域が形成されるようそのマスクをパターニングする。その後、不純物注入を行って、比較的高濃度のソース領域およびドレイン領域を形成する。

【 0 0 4 3 】

次に、そのマスクのサイズをレジスタリング等により必要な分だけシュリンクさせる（小さくする）。その後、不純物注入を行って、比較的低濃度の L D D 領域を形成する。

【 0 0 4 4 】

このようにすれば、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の形成後に、L D D 領域 1 1 1 s a , 1 1 1 d a の形成が行える。

【 0 0 4 5 】

なお、先述の場合と同様、L D D 領域 1 1 1 s a , 1 1 1 d a の形成を先に行った後、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成する場合の他の例としては、R E L A C S (Resolution Enhancement Lithography Assisted by Chemical Shrink) 技術を利用した方法が考えられる（R E L A C S 技術については、文献“0.1 μ m Level Contact Hole Pattern Formation with KrF Lithography by Resolution Enhancement Lithography Assisted by Chemical Shrink (RELACS)” T.Toyoshima et al.,IEDM1998,p.333を参照のこと）。

【 0 0 4 6 】

すなわちこの場合は、半導体基板 1 1 0 上にフォトリソ等マスクを形成して、まず L D D 領域が形成されるようそのマスクをパターニングする。その後、不純物注入を行って、比較的低濃度の L D D 領域を形成する。

【 0 0 4 7 】

次に、そのマスクのサイズを R E L A C S 技術により必要な分だけ拡大させる（大きくする）。その後、不純物注入を行って、比較的高濃度のソース領域およびドレイン領域を形成する。

【 0 0 4 8 】

このようにすれば、LDD領域 1 1 1 s a, 1 1 1 d a の形成後に、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の形成が行える。

【 0 0 4 9 】

また、上記においては、マスクとしてフォトリジストを採用する場合を示したが、下地や周りに露出している材料とのエッチング選択比が確保できる材料であれば、シリコン酸化膜やシリコン窒化膜、ポリシリコン等もマスクに採用してよい。

【 0 0 5 0 】

これらの材料を用いて、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の形成後に、LDD領域 1 1 1 s a, 1 1 1 d a の形成を行う場合には、シュリンク時に等方性エッチングを採用すればよい。また、逆に、LDD領域 1 1 1 s a, 1 1 1 d a の形成後に、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の形成を行う場合には、マスクサイズ拡大時にマスクと同じ材料の堆積とエッチバックとを行ってサイドウォール形成を行えばよい。

【 0 0 5 1 】

マスクの材料には、下地材料や前後の工程を考慮して、適切なものを選択すればよい。

【 0 0 5 2 】

また、本実施の形態においては、図 4 に示したようにシリコン窒化膜 1 2 2 を素子分離領域 1 4 0 形成用のマスクとして用いたが、もちろん素子分離領域 1 4 0 形成用のマスクはシリコン窒化膜 1 2 2 に限られるわけではない。

【 0 0 5 3 】

すなわち、一般的に行われるように、半導体基板 1 1 0 上にフォトリジストを形成し、これをパターニングしてマスクとし、素子分離領域 1 4 0 を LOCOS 法等にて形成してもよい。

【 0 0 5 4 】

また、溝 TR 1 を先に形成し、素子分離領域 1 4 0 を後に形成することも必須ではない。よって、素子分離領域 1 4 0 を予め形成した半導体基板 1 1 0 を用意し、その基板に溝 TR 1 を形成してもよい。

【 0 0 5 5 】

ただし、本実施の形態のように、溝 T R 1 を先に、素子分離領域 1 4 0 を後に形成して、ゲート絶縁膜 1 2 0 中のシリコン窒化膜 1 2 2 を素子分離領域 1 4 0 形成用のマスクとして用いれば、無駄な工程が省けるという利点がある。

【 0 0 5 6 】

< 実施の形態 3 >

本実施の形態は、実施の形態 1 に係る半導体装置の製造方法の他の一例である。

【 0 0 5 7 】

まず、半導体基板 1 1 0 上にダミー膜（例えばシリコン酸化膜） 2 0 3 を形成し、その上にさらにダミー膜 2 0 3 に対してエッチング選択性を有する第 1 のマスク膜（例えばシリコン窒化膜） 2 0 4 を形成する（図 5）。なお、図 5 ～ 図 1 3 においてダミー膜 2 0 3 の符号に（ 1 2 0 ）と並記しているのは、実施の形態 7 においてもこれらの図を用いるためであり、本実施の形態においては（ 1 2 0 ）との並記部分は無視してよい。

【 0 0 5 8 】

次に、フォトリジスト 2 0 5 を形成し、これにパターニングを行って開口部 O P 2 を設ける（図 6）。そして、ダミー膜 2 0 3 および第 1 のマスク膜 2 0 4 に異方性エッチングを施す。これにより素子分離領域が形成されるべき領域 A R 1 に開口部が形成される（図 7）。

【 0 0 5 9 】

続いて、フォトリジスト 2 0 5 を除去し、領域 A R 1 の開口部に露出する半導体基板 1 1 0 の表面に素子分離領域 1 4 0 を例えば L O C O S 法等により形成する（図 8）。そして、第 1 のマスク膜 2 0 4 に対してエッチング選択性を有する層間絶縁膜（例えばシリコン酸化膜） 1 5 0 を、半導体基板 1 1 0 上の全面に形成して、その表面を C M P（Chemical Mechanical Polishing）で研磨し、第 1 のマスク膜 2 0 4 を露出させる。これにより、層間絶縁膜 1 5 0 が領域 A R 1 の開口部内に埋め込まれる（図 9）。そして、エッチング選択性を利用して、層間絶縁膜 1 5 0 およびダミー膜 2 0 3 を残しつつ第 1 のマスク膜 2 0 4 をエッチン

グにより除去する（図 1 0）。

【 0 0 6 0 】

次に、層間絶縁膜 1 5 0 およびダミー膜 2 0 3 上に、この両者に対してエッチング選択性を有する第 2 のマスク膜（例えばシリコン窒化膜）を形成して、これにエッチバックを施すことにより、第 1 のマスク膜 2 0 4 の除去部分においてサイドウォール膜 2 0 6 を形成する（図 1 1）。

【 0 0 6 1 】

そして、層間絶縁膜 1 5 0 およびサイドウォール膜 2 0 6 をマスクとしつつエッチングを行い、溝 T R 1 を形成する（図 1 2）。その後、溝 T R 1 内にサイドウォール膜 2 0 6 に対してエッチング選択性を有する S O G（Spin On Glass）2 0 7 を埋め込む（図 1 3）。

【 0 0 6 2 】

続いて、エッチング選択性を利用して、S O G 2 0 7、ダミー膜 2 0 3 および層間絶縁膜 1 5 0 を残しつつサイドウォール膜 2 0 6 をエッチングにより除去する。そして、S O G を除去する（図 1 4）。S O G は、熱酸化法等で形成されたシリコン酸化膜に比べてエッチング速度が速いという特性を有している。よって、S O G を用いることで、層間絶縁膜 1 5 0 およびダミー膜 2 0 3 を残しつつ S O G 2 0 7 だけを除去することが可能である。

【 0 0 6 3 】

これにより半導体基板 1 1 0 に溝 T R 1 が形成された状態となるので、この後、ダミー膜 2 0 3 を除去すれば、実施の形態 2 における図 3 以降の工程を行うことで、実施の形態 1 に係る半導体装置を製造することが可能となる。

【 0 0 6 4 】

本実施の形態によれば、層間絶縁膜 1 5 0 およびサイドウォール膜 2 0 6 をマスクとしつつ溝 T R 1 を形成し、その後、サイドウォール膜 2 0 6、S O G 2 0 7 およびダミー膜 2 0 3 を除去する。よって、素子分離領域 1 4 0 を形成した後、溝 T R 1 を形成することができる。

【 0 0 6 5 】

<実施の形態 4>

本実施の形態は、実施の形態 1 に係る半導体装置の変形例であって、ゲート絶縁膜 1 2 0 のうち溝 T R 1 に入り込んだ部分には、電荷保持部たるシリコン窒化膜 1 2 2 が形成されない構造の M O N O S トランジスタを備える半導体装置である。

【 0 0 6 6 】

図 1 5 は、本実施の形態に係る半導体装置の備える M O N O S トランジスタを示す図である。図 1 5 に示すように、この M O N O S トランジスタにおいては、溝 T R 1 内にはゲート絶縁膜 1 2 0 が形成されず、その代わりに新たなゲート絶縁膜（例えばシリコン酸化膜） 1 2 4 が形成されている。その他の構成は図 1 に示した M O N O S トランジスタと同様のため、説明を省略する。

【 0 0 6 7 】

このように、ゲート絶縁膜 1 2 0 のうち溝 T R 1 に入り込んだ部分に、電荷保持部たるシリコン窒化膜 1 2 2 が形成されていなければ、溝 T R 1 部分のゲート絶縁膜 1 2 4 の膜厚を薄くすることができる。よって、溝 T R 1 部分におけるチャネル生成に必要なゲート電圧の値を低く抑えることができる。

【 0 0 6 8 】

また、図 1 6 に示すように、半導体基板 1 1 0 上に、ソース領域 2 1 1 s、ドレイン領域 2 1 1 d、ゲート絶縁膜 1 2 5、ゲート電極 2 3 0、およびサイドウォール絶縁膜 2 3 1 を有する他の M I S トランジスタも形成されておれば、図 1 5 の新たなゲート絶縁膜 1 2 4 の代わりに、ゲート絶縁膜 1 2 5 を溝 T R 1 内に延在して形成してもよい。

【 0 0 6 9 】

半導体基板 1 1 0 上に他の M I S トランジスタが形成されておれば、M O N O S トランジスタを例えばメモリセルに用い、他の M I S トランジスタを論理回路の構成素子に用いるシステム L S I (Large Scale Integration) として構成することが可能である。

【 0 0 7 0 】

そして、他の M I S トランジスタのゲート絶縁膜 1 2 5 を溝 T R 1 内に延在して形成することで、M O N O S トランジスタのゲート絶縁膜のうち溝 T R 1 に入

り込んだ部分の材質を、他のゲート絶縁膜 1 2 5 の材質と同じくすることができ、例えば高誘電率絶縁膜を溝 T R 1 部分に採用することが可能となる。

【 0 0 7 1 】

<実施の形態 5>

本実施の形態は、実施の形態 4 に係る半導体装置の製造方法の一例である。

【 0 0 7 2 】

まず、図 1 7 に示すように、溝 T R 1 の形成に先立って半導体基板 1 1 0 上に、シリコン酸化膜 1 2 1、シリコン窒化膜 1 2 2、およびシリコン酸化膜を順に積層し、ゲート絶縁膜 1 2 0 を形成する。そして、ゲート絶縁膜 1 2 0 上にフォトレジスト等のマスク 2 0 8 を形成し、これに開口部 O P 3 を設ける。

【 0 0 7 3 】

そして、ゲート絶縁膜 1 2 0 のうち開口部 O P 3 に露出する部分をもエッチングしつつ、異方性エッチングにより半導体基板 1 1 0 の表面に溝 T R 1 を形成する。その後、マスク 2 0 8 を除去し、必要であればチャネル部分に斜め回転注入法により不純物注入 I P 2 を行う（図 1 8）。なお、しきい値電圧の設定如何によって、不純物注入 I P 2 を行うかどうかを決定すればよい。

【 0 0 7 4 】

次に、溝 T R 1 内に新たなゲート絶縁膜 1 2 4 を形成する（図 1 9）。ゲート絶縁膜 1 2 4 をシリコン酸化膜で構成する場合には、熱酸化法やランプ酸化法（あるいは R T O 法：Rapid Thermal Oxidation Method）を採用すればよい。

【 0 0 7 5 】

この後、図 2 0 に示すように、フォトレジスト等のマスク 2 0 2 を形成して、L D D 領域 1 1 1 s a, 1 1 1 d a を不純物注入 I P 1 により、半導体基板 1 内において表面に面した位置に、両者間に溝 T R 1 を挟むようにして形成する。この後、同様にして L D D 領域 1 1 1 s a, 1 1 1 d a よりも高濃度の不純物注入を行って、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成する。

【 0 0 7 6 】

その後、マスク 2 0 2 を除去してゲート絶縁膜 1 2 0 上にゲート電極 1 3 0 を形成すれば、図 1 5 に示す M O N O S トランジスタを製造することができる。

【 0 0 7 7 】

なお、図 3 7 のような素子分離領域 1 4 0 を有する構造を製造する場合には、例えば図 1 7 の段階よりも前に、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 を形成し終えた段階で、フォトリソグラフィ技術およびエッチング技術によりシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 にパターニングを施しておく。そして、パターニングされたシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて、素子分離領域 1 4 0 を例えば LOCOS 法等により形成しておけばよい。また、素子分離領域 1 4 0 の形成前にソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成しておいてもよい。

【 0 0 7 8 】

また、図 1 6 に示す MONOS トランジスタを製造する場合には、例えば図 1 8 の段階後にゲート絶縁膜 1 2 5 を半導体基板 1 1 0 上の全面に形成し、その後、ソース／ドレインの形成を経て、ゲート電極 1 3 0、2 3 0 を一つのパターニングプロセスで形成すればよい。

【 0 0 7 9 】

なお、LDD 領域とソース／ドレインの形成の先後については、実施の形態 2 において説明したように、いずれであってもよい。

【 0 0 8 0 】

＜実施の形態 6＞

本実施の形態は、実施の形態 4 に係る半導体装置の製造方法の他の一例である。なお、本実施の形態では、図 3 7 のような素子分離領域 1 4 0 を有する構造を製造する場合を想定している。

【 0 0 8 1 】

まず、半導体基板 1 1 0 上にシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 を形成する。その後、シリコン窒化膜 1 2 2 上にフォトレジスト等のマスク 2 0 9 を形成し、素子分離領域 1 4 0 を形成する領域が開口するよう開口部 OP 4 をマスク 2 0 9 に設ける（図 2 1）。

【 0 0 8 2 】

次に、マスク 2 0 9 を用いて開口部 OP 4 に露出するシリコン酸化膜 1 2 1 お

よびシリコン窒化膜 1 2 2 をエッチングにより除去し、マスク 2 0 9 を除去する。そして、不純物注入 I P 3 を行い（図 2 2）、半導体基板 1 1 0 内にソース領域 1 1 1 s b およびドレイン領域 1 1 1 d b を形成する。

【 0 0 8 3 】

続いて、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて、ソース領域 1 1 1 s b およびドレイン領域 1 1 1 d b 内に、素子分離領域 1 4 0 を例えば L O C O S 法等により形成する（図 2 3）。その後、シリコン窒化膜 1 2 2 および素子分離領域 1 4 0 上にフォトレジスト等のマスク 2 1 0 を形成し、これに開口部 O P 5 を設ける（図 2 4）。

【 0 0 8 4 】

次に、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 のうち開口部 O P 5 に露出する部分をもエッチングしつつ、異方性エッチングにより半導体基板 1 1 0 の表面に溝 T R 1 を形成する。そして、マスク 2 1 0 を除去し、必要であればチャネル部分に斜め回転注入法により不純物注入 I P 2 を行う（図 2 5）。しきい値電圧の設定如何によって、不純物注入 I P 2 を行うかどうかを決定すればよい。なお、図 2 5 は、図 2 4 内の領域 A R 2 を拡大表示したものである。

【 0 0 8 5 】

その後、半導体基板 1 1 0 上の全面に、熱酸化法等によりシリコン酸化膜 1 2 3 および 1 2 4 を形成し（図 2 6）、ゲート絶縁膜 1 2 3 および 1 2 4 上にゲート電極 1 3 0 を形成する。このようにすれば、図 1 5 に示す M O N O S トランジスタを製造することができる。また、図 1 6 に示す M O N O S トランジスタを製造する場合には、例えば図 2 6 においてシリコン酸化膜 1 2 3 および 1 2 4 の代わりに、他の M I S トランジスタのゲート絶縁膜 1 2 5 を形成してもよい。

【 0 0 8 6 】

このようにすれば、実施の形態 2 におけると同様、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて素子分離領域 1 4 0 を形成するので、新たにマスク形成することなく素子分離領域 1 4 0 をゲート絶縁膜 1 2 0 の形成途中に形成できる。よって、製造工程が簡略化でき、低コスト化が図れる。

【 0 0 8 7 】

もちろん、実施の形態 2 において説明したように、素子分離領域 1 4 0 形成用のマスクはシリコン窒化膜 1 2 2 に限られるわけではない。そして、溝 T R 1 の形成を素子分離領域 1 4 0 の形成後に行うことも必須ではない。

【 0 0 8 8 】

<実施の形態 7>

本実施の形態も、実施の形態 4 に係る半導体装置の製造方法の他の一例である。なお、本実施の形態は、実施の形態 3 におけるダミー膜 2 0 3 の代わりに、ゲート絶縁膜 1 2 0 を最初から形成しておくようにした製造方法である。よって、実施の形態 3 において示された図 5 ～図 1 3 を用いて説明を行うが、以下では、図 5 ～図 1 3 において、ダミー膜 2 0 3 に代わってゲート絶縁膜 1 2 0 が形成されているものとする。

【 0 0 8 9 】

まず、半導体基板 1 1 0 上に、シリコン酸化膜 1 2 1、シリコン窒化膜 1 2 2 およびシリコン酸化膜 1 2 3 の積層膜たるゲート絶縁膜 1 2 0 を形成する。そして、その上にさらにシリコン酸化膜 1 2 3 に対してエッチング選択性を有する第 1 のマスク膜（例えばシリコン窒化膜）2 0 4 を形成する（図 5）。

【 0 0 9 0 】

次に、フォトレジスト 2 0 5 を形成し、これにパターニングを行って開口部 O P 2 を設ける（図 6）。そして、ゲート絶縁膜 1 2 0 および第 1 のマスク膜 2 0 4 に異方性エッチングを施す。これにより素子分離領域が形成されるべき領域 A R 1 に開口部が形成される（図 7）。

【 0 0 9 1 】

続いて、フォトレジスト 2 0 5 を除去し、領域 A R 1 の開口部に露出する半導体基板 1 1 0 の表面に素子分離領域 1 4 0 を例えば L O C O S 法等により形成する（図 8）。そして、第 1 のマスク膜 2 0 4 に対してエッチング選択性を有する層間絶縁膜（例えばシリコン酸化膜）1 5 0 を、半導体基板 1 1 0 上の全面に形成して、その表面を CMP（Chemical Mechanical Polishing）で研磨し、第 1 のマスク膜 2 0 4 を露出させる。これにより、層間絶縁膜 1 5 0 が領域 A R 1 の開口部内に埋め込まれる（図 9）。そして、エッチング選択性を利用して、層間

絶縁膜 1 5 0 およびゲート絶縁膜 1 2 0 を残しつつ第 1 のマスク膜 2 0 4 をエッチングにより除去する（図 1 0）。

【 0 0 9 2 】

次に、層間絶縁膜 1 5 0 およびシリコン酸化膜 1 2 3 上に、この両者に対してエッチング選択性を有する第 2 のマスク膜（例えばシリコン窒化膜）を形成して、これにエッチバックを施すことにより、第 1 のマスク膜 2 0 4 の除去部分においてサイドウォール膜 2 0 6 を形成する（図 1 1）。

【 0 0 9 3 】

そして、層間絶縁膜 1 5 0 およびサイドウォール膜 2 0 6 をマスクとしつつエッチングを行い、溝 T R 1 を形成する（図 1 2）。その後、溝 T R 1 内にサイドウォール膜 2 0 6 に対してエッチング選択性を有する S O G 2 0 7 を埋め込む（図 1 3）。

【 0 0 9 4 】

続いて、エッチング選択性を利用して、S O G 2 0 7、ゲート絶縁膜 1 2 0 および層間絶縁膜 1 5 0 を残しつつサイドウォール膜 2 0 6 をエッチングにより除去する。そして、S O G を除去する。この状態を示すのが図 2 7 である。これにより半導体基板 1 1 0 に溝 T R 1 およびゲート絶縁膜 1 2 0 が形成された状態となるので、実施の形態 5 における図 1 8 以降の工程を行うことで、実施の形態 4 に係る半導体装置を製造することが可能となる。

【 0 0 9 5 】

本実施の形態によれば、層間絶縁膜 1 5 0 およびサイドウォール膜 2 0 6 をマスクとしつつ溝 T R 1 を形成し、その後、サイドウォール膜 2 0 6、S O G 2 0 7 を除去する。よって、素子分離領域 1 4 0 を形成した後に溝 T R 1 を形成することができる。

【 0 0 9 6 】

< 実施の形態 8 >

本実施の形態は、実施の形態 4 に係る半導体装置の変形例であって、ゲート絶縁膜 1 2 0 のうち第 1 および第 2 の電荷保持部たるシリコン窒化膜 1 2 2 が、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d 上で終端している構造の M O N O

Sトランジスタを備える半導体装置である。

【0097】

図28は、本実施の形態に係る半導体装置の備えるMONOSトランジスタを示す図である。図28に示すように、このMONOSトランジスタにおいては、シリコン窒化膜122およびその上のシリコン酸化膜123がソース領域111sおよびドレイン領域111d上で終端している。その他の構成は図15に示したMONOSトランジスタと同様のため、説明を省略する。

【0098】

このように、シリコン窒化膜122がソース領域111sおよびドレイン領域111d上で終端しておれば、このMONOSトランジスタが連続して複数のメモリセルとして形成され、隣接するトランジスタ間でゲート絶縁膜120内のシリコン酸化膜121を共有する場合であっても、メモリセルごとに第1および第2の電荷保持部が絶縁される。よって、メモリセル間で電荷CH1、CH2の移動が生じることはない。

【0099】

シリコン窒化膜122にトラップされた電荷が移動することは考えにくい、メモリセルごとに第1および第2の電荷保持部を絶縁しておくことで、電荷CH1、CH2の移動範囲を確実に限定することが可能となる。これにより、MONOSトランジスタのしきい値分布の広がりも抑制することができる。

【0100】

なお、図29に示すように、第1および第2の電荷保持部たるシリコン窒化膜122の終端部分には、終端部分を覆う絶縁膜（例えばシリコン酸化膜）126が形成されていてもよい。これにより、ゲート電極130がシリコン窒化膜122の終端部分にまで延在している場合であっても、シリコン窒化膜122に保持された電荷CH1、CH2がゲート電極130内に移動することを防止できる。

【0101】

<実施の形態9>

本実施の形態は、実施の形態8に係る半導体装置の製造方法の一例である。

【0102】

本実施の形態においては、実施の形態 5 に係る半導体装置の製造方法と同様にして、図 1 7 ～図 1 9 に示す工程を行う。この後、図 3 0 に示すように、フォトリソ等マスク 2 0 2 を形成して、LDD 領域 1 1 1 s a, 1 1 1 d a の形成領域を開口する。そして、開口した部分のシリコン酸化膜 1 2 3 およびシリコン窒化膜 1 2 2 をエッチングにより除去し、電荷保持部がソース領域およびドレイン領域上で終端するようにする。

【 0 1 0 3 】

この後、マスク 2 0 2 を残したまま不純物注入 I P 1 を行って LDD 領域 1 1 1 s a, 1 1 1 d a を形成する。この後、同様にして LDD 領域 1 1 1 s a, 1 1 1 d a よりも高濃度の不純物注入を行って、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成する。

【 0 1 0 4 】

その後、マスク 2 0 2 を除去してゲート絶縁膜 1 2 0 上にゲート電極 1 3 0 を形成すれば、図 2 8 に示す MONOS トランジスタを製造することができる。

【 0 1 0 5 】

なお、図 2 9 に示す MONOS トランジスタを製造する場合には、図 3 0 の段階の後に例えば熱酸化を行って、電荷保持部たるシリコン窒化膜 1 2 2 の終端部分にこれを覆う絶縁膜 1 2 6 を形成すればよい。

【 0 1 0 6 】

なお、LDD 領域とソース／ドレインの形成の先後については、実施の形態 2 において説明したように、いずれであってもよい。

【 0 1 0 7 】

< 実施の形態 1 0 >

本実施の形態は、実施の形態 1 に係る半導体装置の変形例であって、溝 T R 1 の上端部および底部の角部分が丸められている構造の MONOS トランジスタを備える半導体装置である。

【 0 1 0 8 】

図 3 1 は、本実施の形態に係る半導体装置の備える MONOS トランジスタを示す図である。図 3 1 に示すように、この MONOS トランジスタにおいては、

溝 T R 1 の上端部および底部の角部分 C R 1, C R 2 が丸められている。その他の構成は図 1 に示した M O N O S トランジスタと同様のため、説明を省略する。

【 0 1 0 9 】

このように、溝 T R 1 の上端部および底部の角部分 C R 1, C R 2 が丸められておれば、角部分における電界の集中を抑制でき、半導体装置の信頼性を向上させることができる。

【 0 1 1 0 】

< 実施の形態 1 1 >

本実施の形態は、実施の形態 1 0 に係る半導体装置の製造方法の一例である。

【 0 1 1 1 】

本実施の形態においては、実施の形態 2 に係る半導体装置の製造方法と同様に、図 2 に示す工程を行い、溝 T R 1 を半導体基板 1 1 0 内に形成する。この後、図 3 2 に示すように、溝 T R 1 の表面に例えばシリコン酸化膜等からなる犠牲層 2 1 1 を形成する。犠牲層 2 1 1 の形成は、例えば熱酸化法を用いればよい。

【 0 1 1 2 】

その後、犠牲層 2 1 1 を例えばフッ酸を用いたウェットエッチングにより除去する。これにより、図 3 3 に示すように、溝 T R 1 の上端部および底部の角部分 C R 1, C R 2 が丸められる。この後、実施の形態 2 と同様にして図 3 以降の工程を行なえば、図 3 1 に示す M O N O S トランジスタを製造することができる。

【 0 1 1 3 】

< 実施の形態 1 2 >

本実施の形態も、実施の形態 1 に係る半導体装置の変形例であり、ゲート絶縁膜に、シリコン窒化膜を含む積層構造を採用せずに、シリコンで形成された複数のドットを有するゲート絶縁膜を採用する場合を示すものである。

【 0 1 1 4 】

シリコン酸化膜内にシリコンのドットを形成する技術が、例えば “Si-Dot Non-Volatile Memory Device” J. De Blauwe et al., Extended Abstracts of the 2001 International Conference on Solid State Devices and Materials, Tokyo, 2

001, pp.518-519に記載されている。本実施の形態においては、ゲート絶縁膜にこのようなシリコンドットを含むシリコン酸化膜を採用する。

【0115】

図34は本実施の形態に係る半導体装置の備えるMISトランジスタを示す図である。図34では、ゲート絶縁膜120が、シリコンドットDTを含む単層構造のゲート絶縁膜（例えばシリコン酸化膜）220に置換されていること以外は、実施の形態1に係る半導体装置と同様の構造である。

【0116】

実施の形態1の場合、電荷CH1、CH2が保持されるのはシリコン窒化膜122中のトラップ準位であるが、このトラップ準位はシリコン窒化膜122内の欠陥部分に存在しているため、トラップ準位の値が場所により不均一である。そのため、保持した電荷CH1、CH2を長期間保存した場合に、エネルギーの揺らぎなどがあれば電荷CH1、CH2が抜け出てしまう可能性がある。特に、浅い準位にトラップされた電荷は、深い準位にトラップされた電荷に比べて飛び出してしまいやすい。

【0117】

シリコンドットDTの場合は、導電性があることからトラップ準位がシリコン窒化膜のものと比べて深く、かつ、場所に関わらず安定しているため、保持した電荷が抜ける確率が低くなる。これはすなわち、実施の形態1におけるシリコン窒化膜122のように第1および第2の電荷保持部がゲート絶縁膜120内で連続する膜である場合に比べて、保持した電荷の移動がより起こりにくく、より不揮発性に優れた半導体装置を実現できることを意味する。

【0118】

なお、シリコンドットの代わりに、シリコン窒化膜をシリコン酸化膜内にドット状に形成する技術が、例えば特開平5-75133号公報に記載されている（当該公報の図1を参照）。シリコン窒化膜であっても、ドット状であればゲート絶縁膜120内で連続する膜である場合に比べて、保持した電荷の移動がより起こりにくく、シリコンドットDTの場合と同様の効果があると考えられる。

【0119】

<変形例>

実施の形態 1 2 においては、実施の形態 1 におけるゲート絶縁膜 1 2 0 が、シリコンまたはシリコン窒化膜のドット D T を含む単層構造のゲート絶縁膜 2 2 0 に置換されている構造を説明した。このようなドット D T を含むゲート絶縁膜 2 2 0 は、上述の実施の形態 2 ～ 1 1 の全てにおいてゲート絶縁膜 1 2 0 に置換して用いることが可能である。

【 0 1 2 0 】

すなわち言い換えれば、M I S トランジスタの構造であって、そのゲート絶縁膜中に O N O 膜やドットのような、電荷を保持することが可能な電荷保持部が形成されている構造であれば、本発明の実施の形態 1 ～ 1 2 を適用することが可能である。

【 0 1 2 1 】

【発明の効果】

請求項 1 に記載の発明によれば、M I S トランジスタにおいて、ゲート電極が溝に入り込むようにゲート絶縁膜上に形成され、ゲート絶縁膜中には、第 1 および第 2 の電荷保持部が溝を挟むように形成されている。よって、第 1 の電荷保持部に電荷をトラップさせた後に第 2 の電荷保持部に電荷をトラップさせる場合に、溝内のゲート電極がシールドの役割を果たす。すなわち、第 1 の電荷保持部の電荷の誘起する電界の影響が第 2 の電荷保持部に及ぶことがなく、スケーリングが進んだ場合であっても第 2 の電荷保持部への電荷のトラップが妨げられることがない。よって、この M I S トランジスタを不揮発性メモリのメモリセルに適用すれば、不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置を実現できる。また、ソース領域およびドレイン領域間に溝が形成されているので実効チャネル長が大きくなり、パンチスルーへの耐性も向上する。

【 0 1 2 2 】

請求項 2 に記載の発明によれば、ゲート絶縁膜は、第 1 のシリコン酸化膜、シリコン窒化膜、および、第 2 のシリコン酸化膜の順に積層された積層膜であって、第 1 および第 2 の電荷保持部とは、シリコン窒化膜のうち溝を挟む、互いに対

向する第 1 および第 2 の部分である。よって、請求項 1 に係る半導体装置を M O N O S トランジスタで実現できる。

【 0 1 2 3 】

請求項 3 に記載の発明によれば、ゲート絶縁膜のうち溝に入り込んだ部分には、第 1 および第 2 の電荷保持部は形成されない。よって、溝部分のゲート絶縁膜の膜厚を薄くすることができ、溝部分におけるチャネル生成に必要なゲート電圧の値を低く抑えることができる。

【 0 1 2 4 】

請求項 4 に記載の発明によれば、半導体基板上には、他の M I S トランジスタも形成されている。よって、本発明に係る半導体装置を例えば、M I S トランジスタをメモリセルに用い、他の M I S トランジスタを論理回路の構成素子に用いるシステム L S I (Large Scale Integration) として構成することが可能である。

【 0 1 2 5 】

請求項 5 に記載の発明によれば、ゲート絶縁膜のうち溝に入り込んだ部分には、第 1 および第 2 の電荷保持部は形成されず、かつ、他の M I S トランジスタの他のゲート絶縁膜が延在して形成されている。よって、ゲート絶縁膜のうち溝に入り込んだ部分の材質を、他のゲート絶縁膜の材質と同じくすることができ、例えば高誘電率絶縁膜を溝部分に採用することが可能となる。

【 0 1 2 6 】

請求項 6 に記載の発明によれば、第 1 および第 2 の電荷保持部は、ソース領域およびドレイン領域上で終端している。よって、請求項 1 に記載の M I S トランジスタが連続して複数のメモリセルとして形成され、隣接するトランジスタ間でゲート絶縁膜を共有する場合であっても、メモリセルごとに第 1 および第 2 の電荷保持部が絶縁される。よって、メモリセル間で電荷の移動が生じることはない。

【 0 1 2 7 】

請求項 7 に記載の発明によれば、第 1 および第 2 の電荷保持部の終端部分には、終端部分を覆う絶縁膜が形成されている。よって、ゲート電極が第 1 および第

2の電荷保持部の終端部分にまで延在している場合であっても、第1および第2の電荷保持部に保持された電荷がゲート電極内に移動することを防止できる。

【0128】

請求項8に記載の発明によれば、溝の上端部および底部の角部分は丸められている。よって、角部分における電界の集中を抑制でき、半導体装置の信頼性を向上させることができる。

【0129】

請求項9に記載の発明によれば、第1および第2の電荷保持部は、ゲート絶縁膜内に複数形成されたドットである。よって、第1および第2の電荷保持部がゲート絶縁膜内で連続する膜である場合に比べて、保持した電荷の移動がより起こりにくく、より不揮発性に優れた半導体装置を実現できる。

【0130】

請求項10に記載の発明によれば、ドットは、シリコンまたはシリコン窒化膜で構成される。ゲート絶縁膜に例えばシリコン酸化膜を用いる場合、シリコンまたはシリコン窒化膜のドットにおけるエネルギー準位はシリコン酸化膜のエネルギー準位よりも安定している。よって、保持した電荷の移動が起こりにくく、不揮発性に優れた半導体装置を実現できる。

【0131】

請求項11に記載の発明によれば、工程(d)において、半導体基板の表面のうち少なくともソース領域とドレイン領域とに挟まれた部分の上に、電荷保持部を含むゲート絶縁膜を形成する。よって、請求項1に記載の半導体装置を製造することができる。また、ゲート絶縁膜は、第1のシリコン酸化膜、シリコン窒化膜、および、第2のシリコン酸化膜の順に積層された積層膜である。よって、請求項1に係る半導体装置をMONOSトランジスタで実現できる。さらに、工程(d)は、パターニングされた第1のシリコン酸化膜およびシリコン窒化膜をマスクとして用いて、ソース領域およびドレイン領域内に、素子分離領域を形成する工程(d2)を含む。よって、素子分離領域を、新たにマスク形成することなくゲート絶縁膜の形成途中に形成できる。よって、製造工程が簡略化でき、低コスト化が図れる。

【 0 1 3 2 】

請求項 1 2 に記載の発明によれば、工程（b）において、層間絶縁膜およびサイドウォール膜をマスクとしつつ溝を形成し、その後、サイドウォール膜、SOG およびダミー膜を除去する。よって、素子分離領域を形成した後に溝を形成することが可能である。

【図面の簡単な説明】

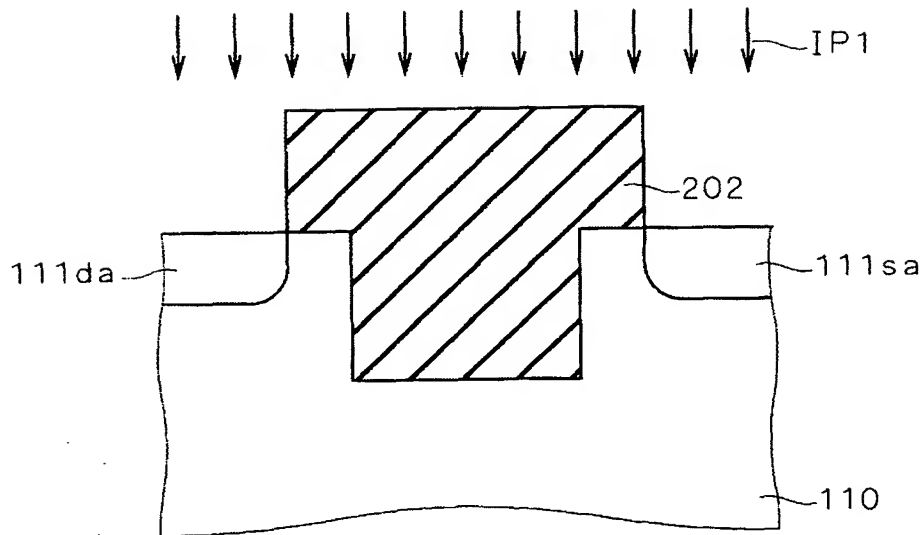
- 【図 1】 実施の形態 1 に係る半導体装置を示す図である。
- 【図 2】 実施の形態 2 に係る半導体装置の製造方法を示す図である。
- 【図 3】 実施の形態 2 に係る半導体装置の製造方法を示す図である。
- 【図 4】 実施の形態 2 に係る半導体装置の製造方法を示す図である。
- 【図 5】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 6】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 7】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 8】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 9】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 0】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 1】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 2】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 3】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 4】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 5】 実施の形態 4 に係る半導体装置を示す図である。
- 【図 1 6】 実施の形態 4 に係る半導体装置の他の例を示す図である。
- 【図 1 7】 実施の形態 5 に係る半導体装置の製造方法を示す図である。
- 【図 1 8】 実施の形態 5 に係る半導体装置の製造方法を示す図である。
- 【図 1 9】 実施の形態 5 に係る半導体装置の製造方法を示す図である。
- 【図 2 0】 実施の形態 5 に係る半導体装置の製造方法を示す図である。
- 【図 2 1】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 2】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 3】 実施の形態 6 に係る半導体装置の製造方法を示す図である。

- 【図 2 4】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 5】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 6】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 7】 実施の形態 7 に係る半導体装置の製造方法を示す図である。
- 【図 2 8】 実施の形態 8 に係る半導体装置を示す図である。
- 【図 2 9】 実施の形態 8 に係る半導体装置の他の例を示す図である。
- 【図 3 0】 実施の形態 9 に係る半導体装置の製造方法を示す図である。
- 【図 3 1】 実施の形態 1 0 に係る半導体装置を示す図である。
- 【図 3 2】 実施の形態 1 1 に係る半導体装置の製造方法を示す図である。
- 【図 3 3】 実施の形態 1 1 に係る半導体装置の製造方法を示す図である。
- 【図 3 4】 実施の形態 1 2 に係る半導体装置を示す図である。
- 【図 3 5】 不揮発性メモリのメモリセルに利用される従来の半導体装置を示す断面図である。
- 【図 3 6】 不揮発性メモリの構造を示す上面図である。
- 【図 3 7】 不揮発性メモリのより具体的な構造の一例を示す斜視図である。
- 【図 3 8】 不揮発性メモリのより具体的な構造の他の一例を示す斜視図である。
- 【図 3 9】 従来の半導体装置のスケーリングを示す図である。
- 【図 4 0】 従来の半導体装置において 2 ビットの情報を保持させる場合のスケーリングを示す図である。

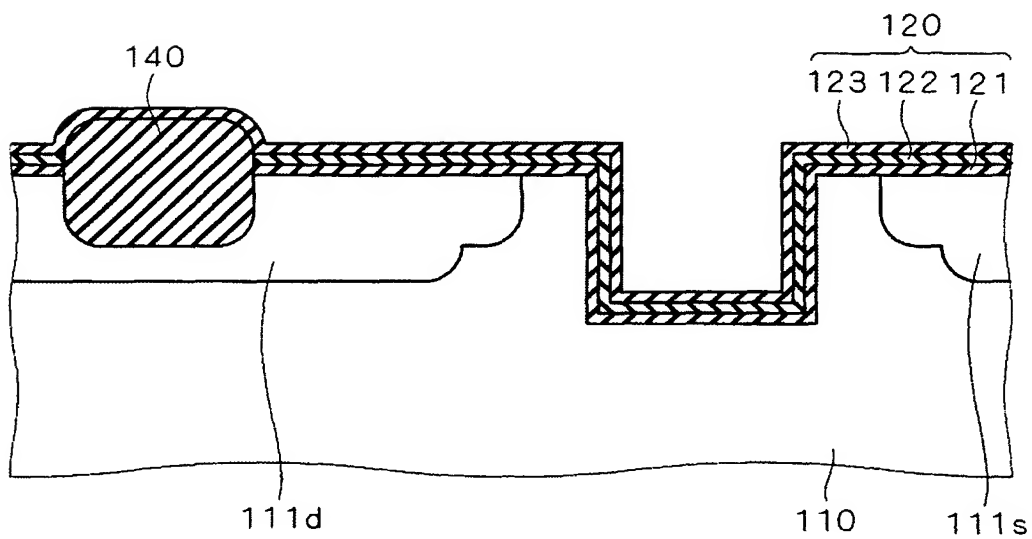
【符号の説明】

1 1 0 半導体基板、 1 1 1 s ソース領域、 1 1 1 d ドレイン領域、 1 2 0, 1 2 4, 1 2 5, 2 2 0 ゲート絶縁膜、 1 2 1, 1 2 3 シリコン酸化膜、 1 2 2 シリコン窒化膜、 1 3 0 ゲート電極、 1 4 0 素子分離領域、 1 5 0 層間絶縁膜、 2 0 3 ダミー膜、 2 0 4 第 1 のマスク膜、 2 0 6 サイドウォール膜、 2 0 7 SOG、DT ドット、CH1, CH2 電荷。

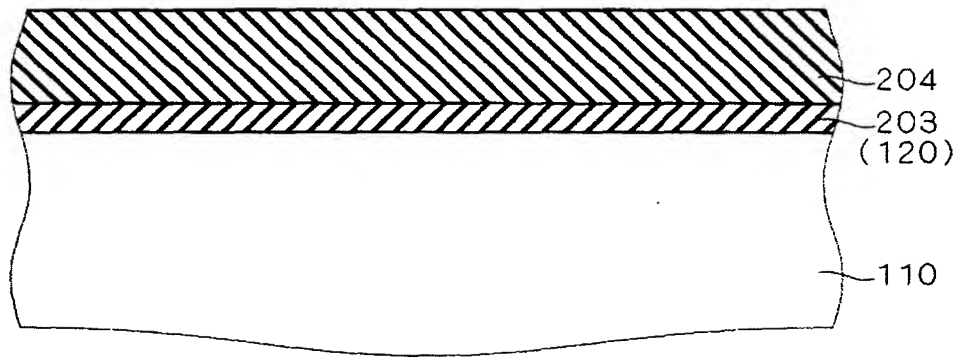
【図3】



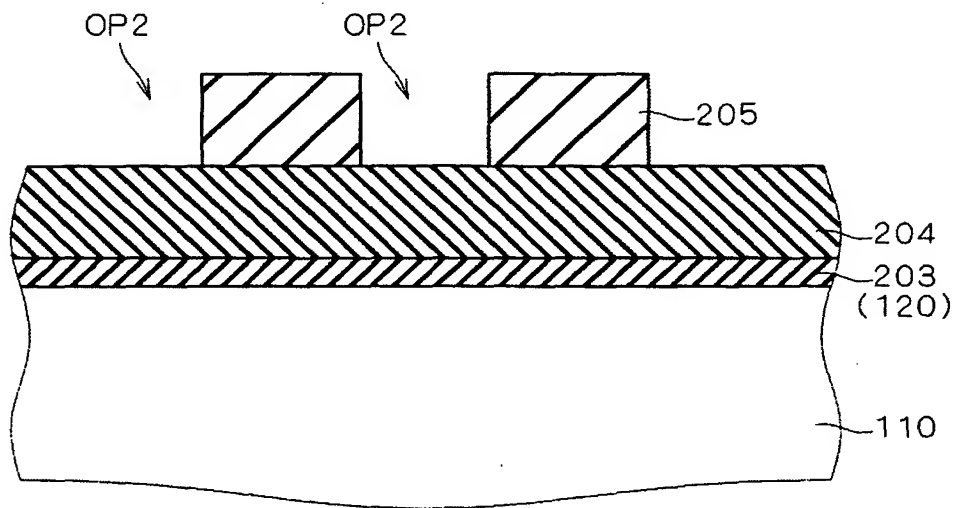
【図4】



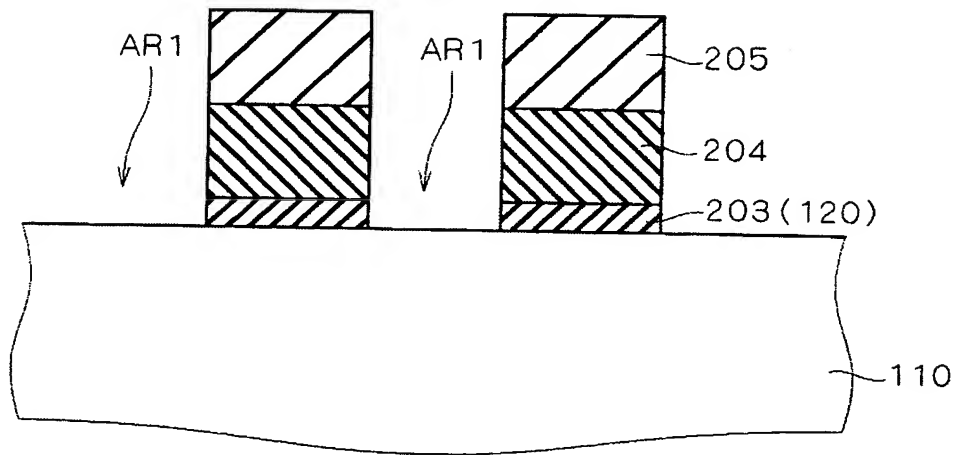
【図 5】



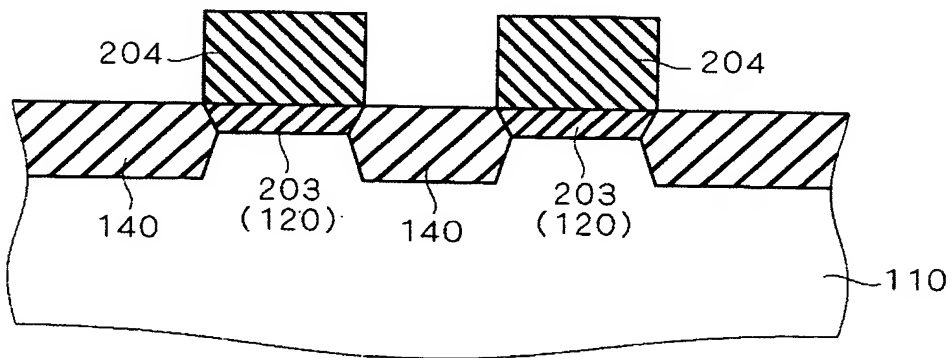
【図 6】



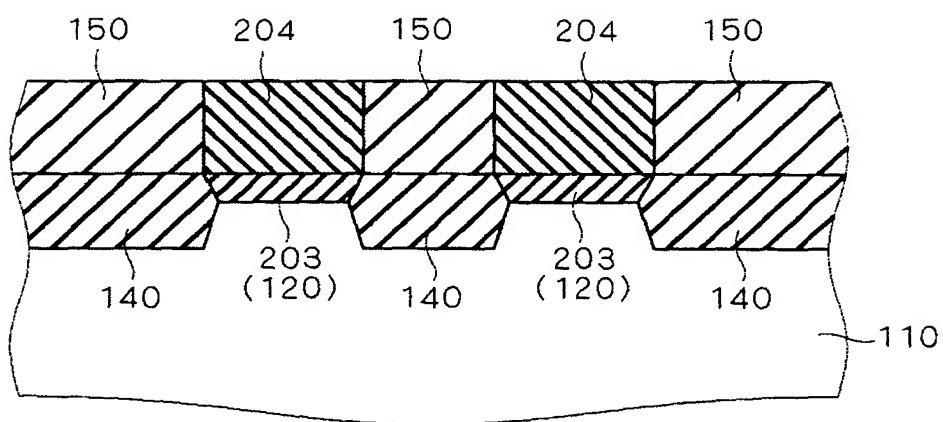
【図 7】



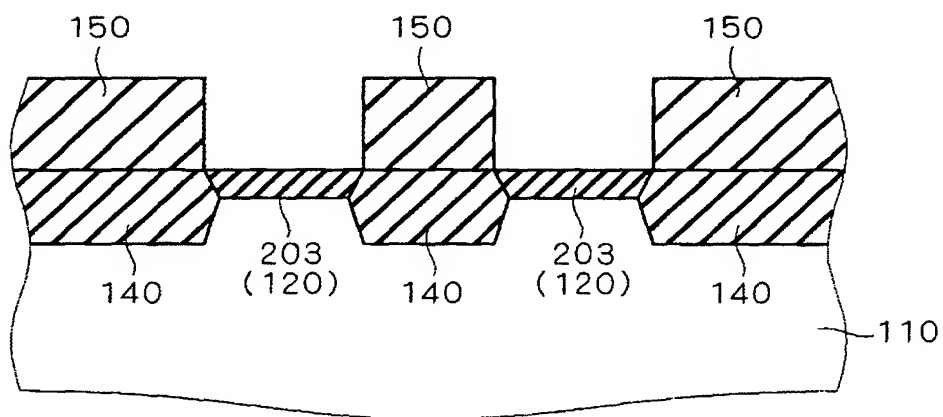
【図 8】



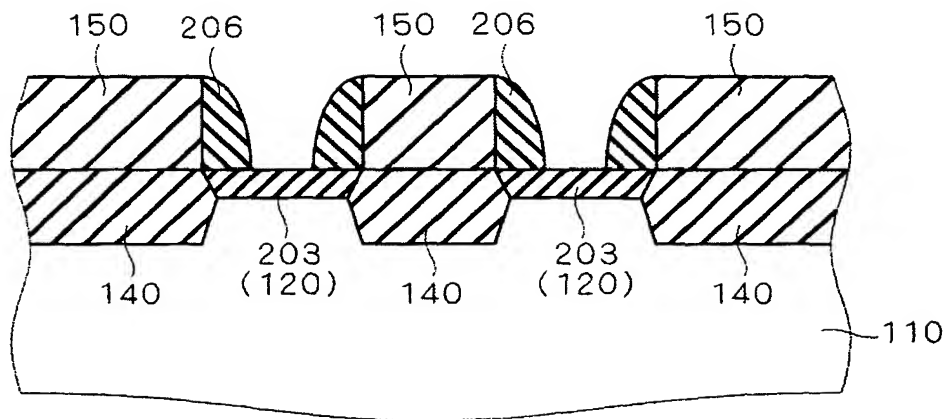
【図 9】



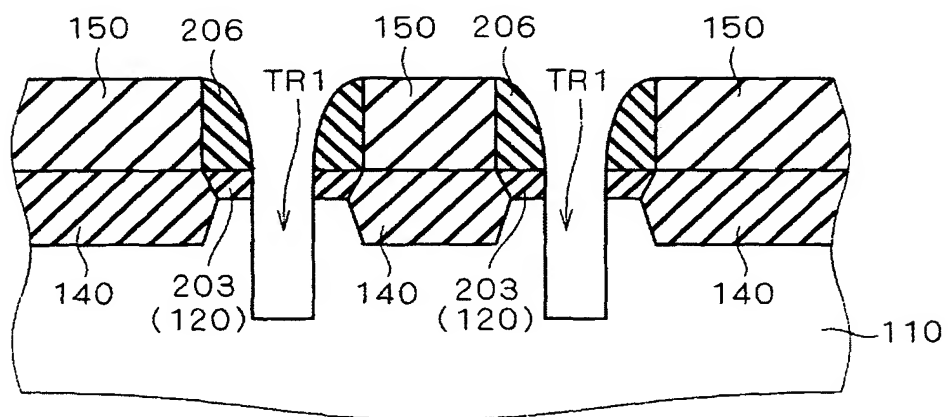
【図 10】



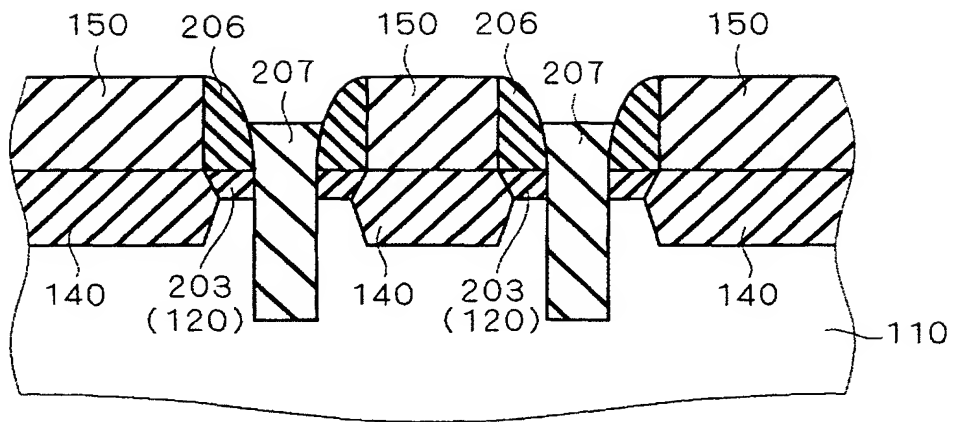
【図 1 1】



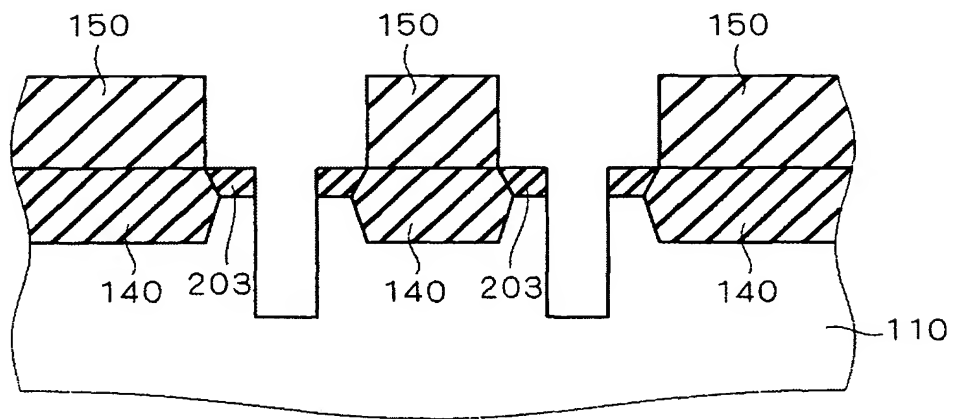
【図 1 2】



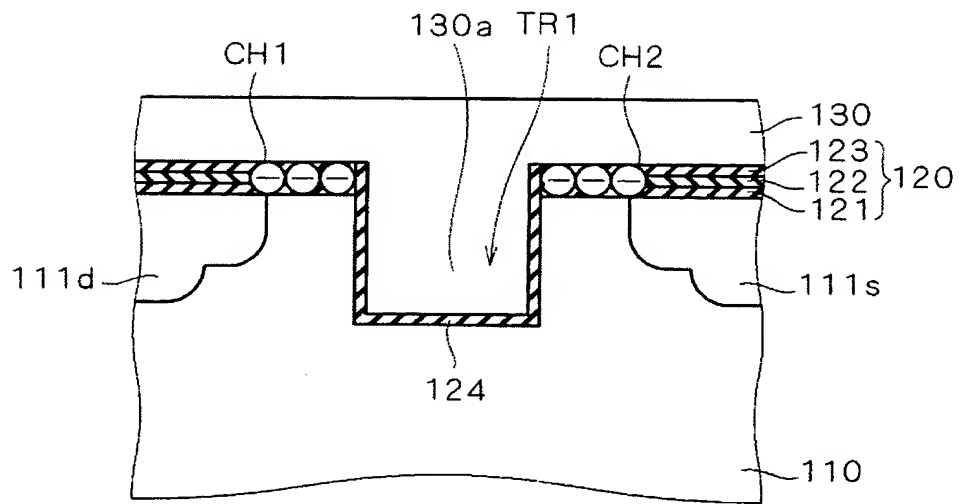
【図 1 3】



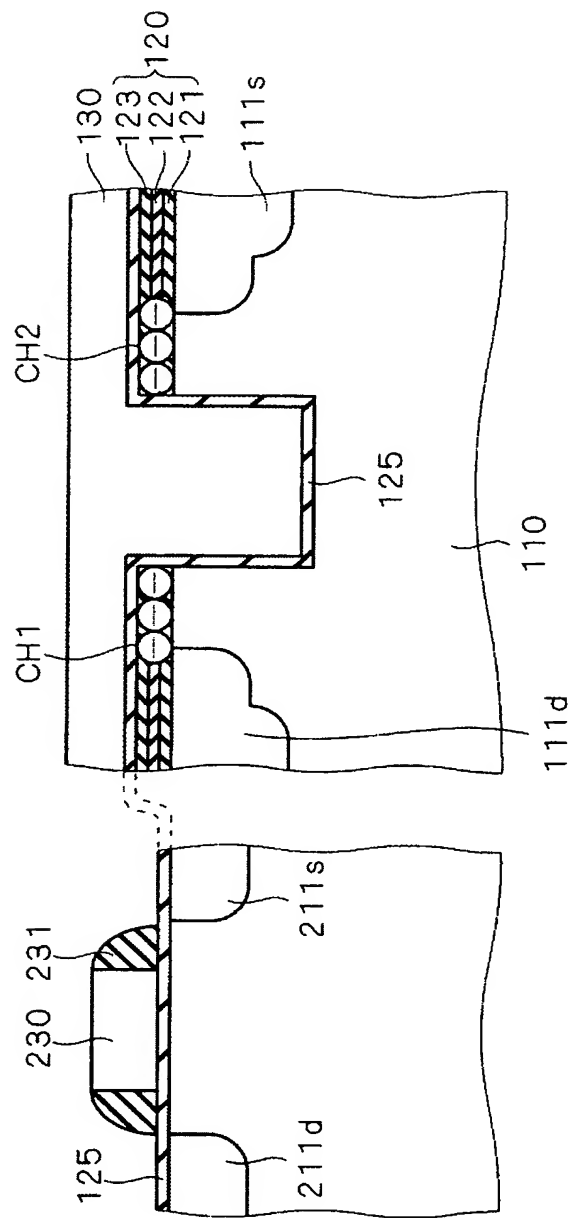
【図 1 4】



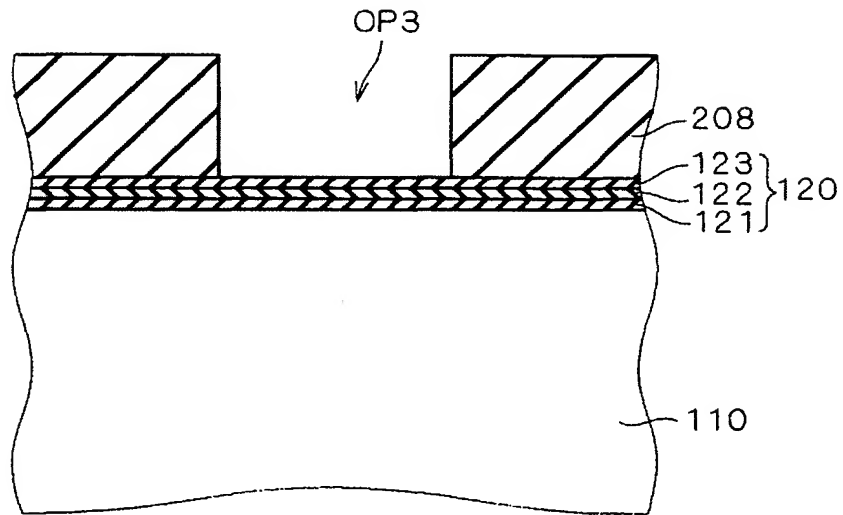
【図 1 5】



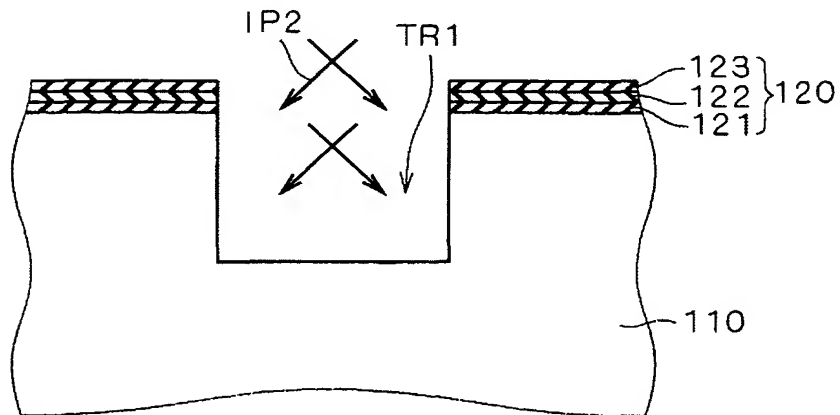
【図 1 6】



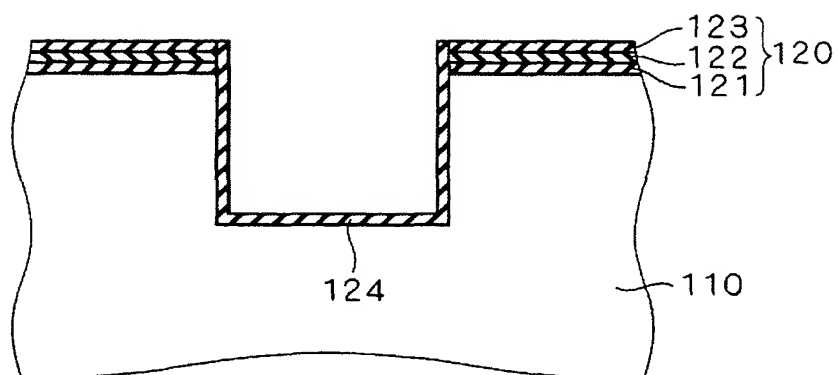
【図 1 7】



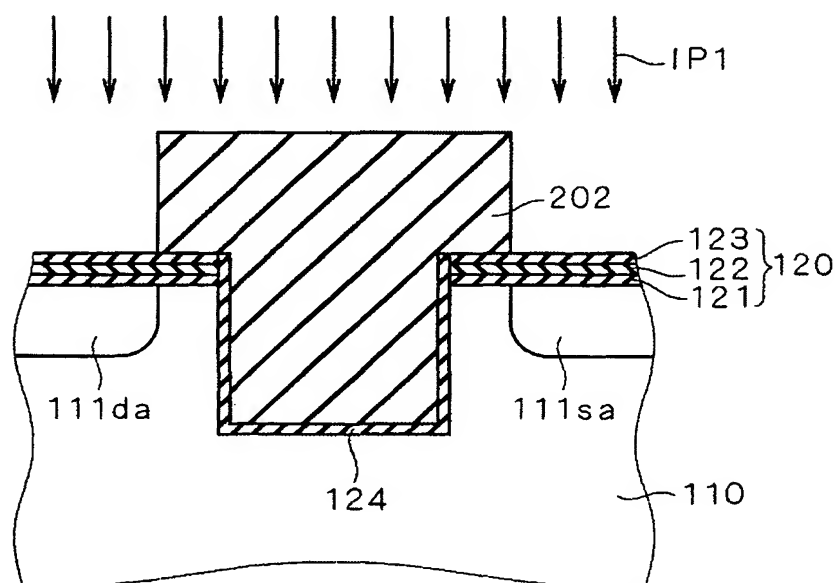
【図 1 8】



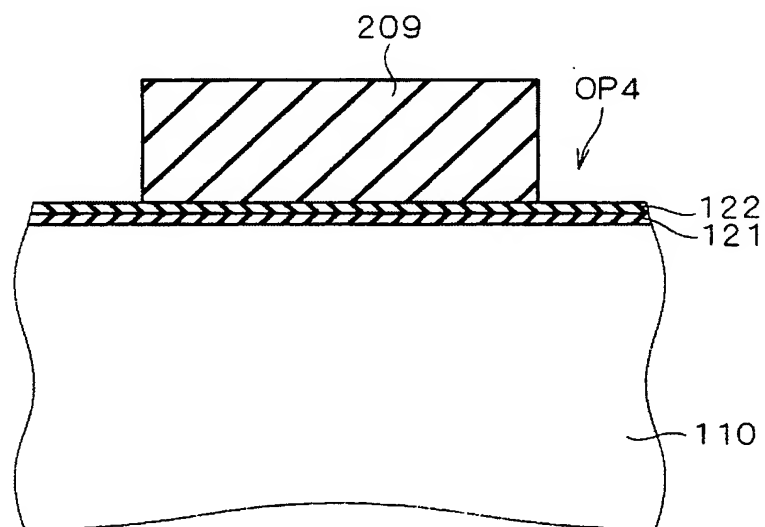
【图 19】



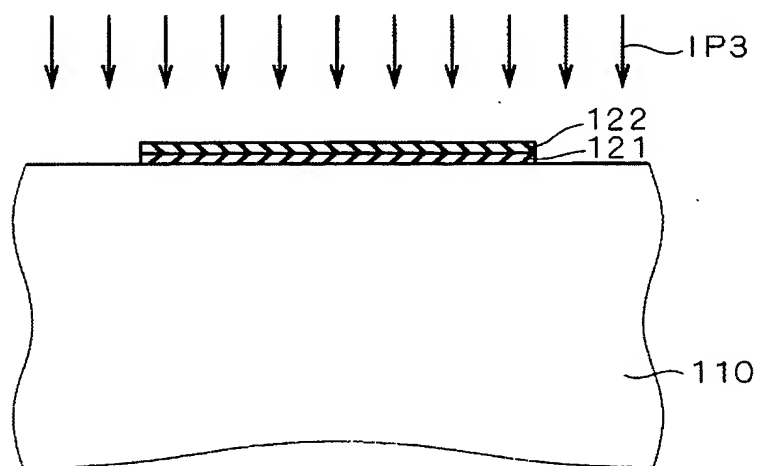
【図 20】



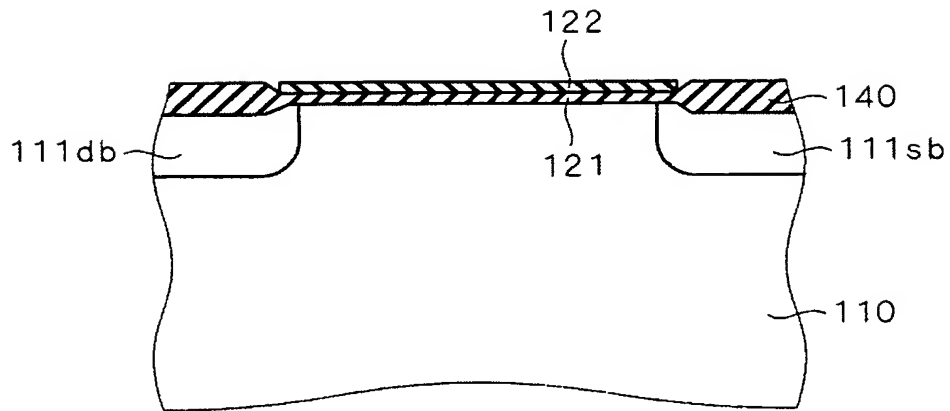
【図 2 1】



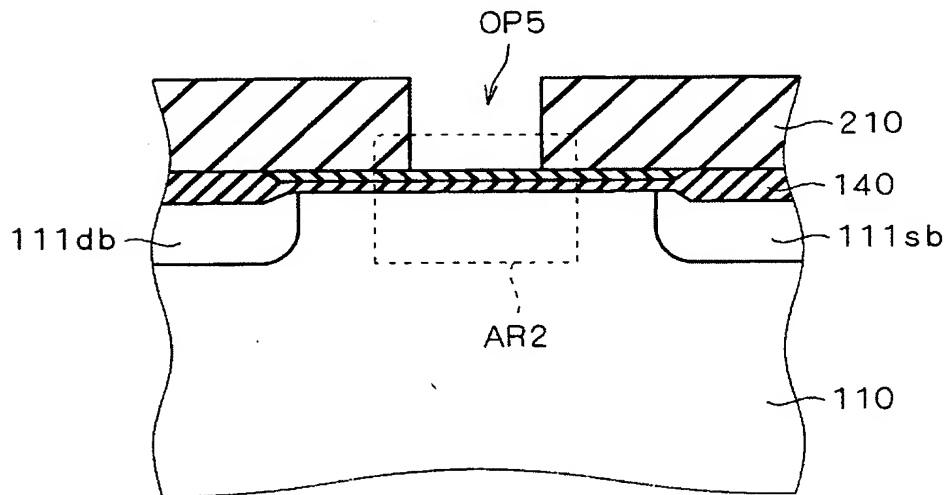
【図 2 2】



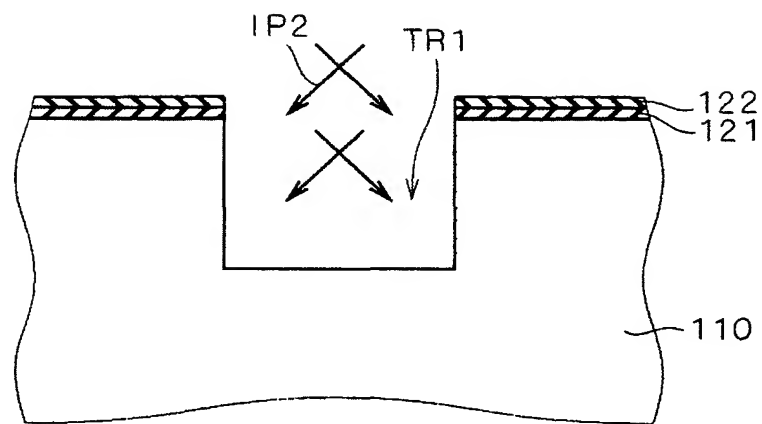
【図 2 3】



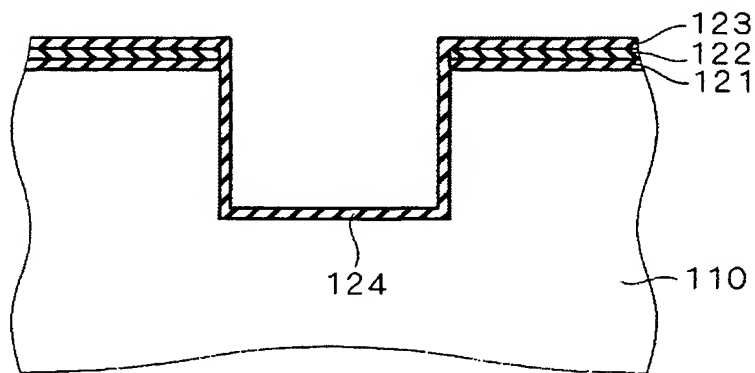
【図 2 4】



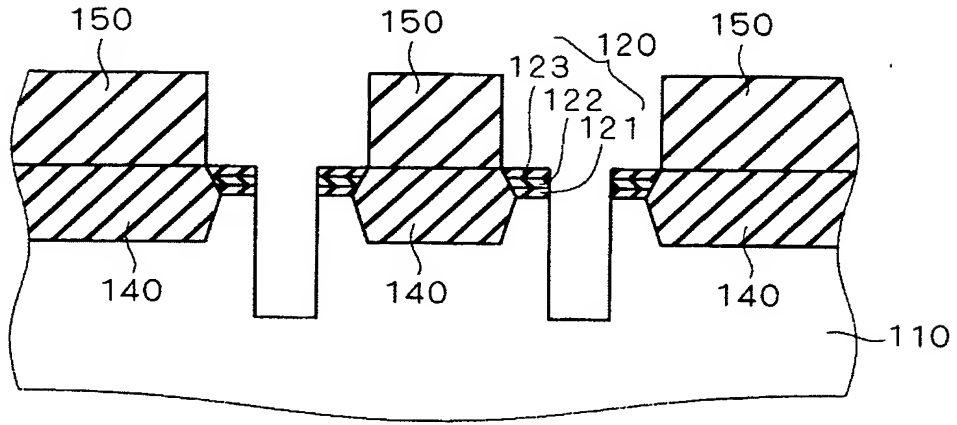
【図 2 5】



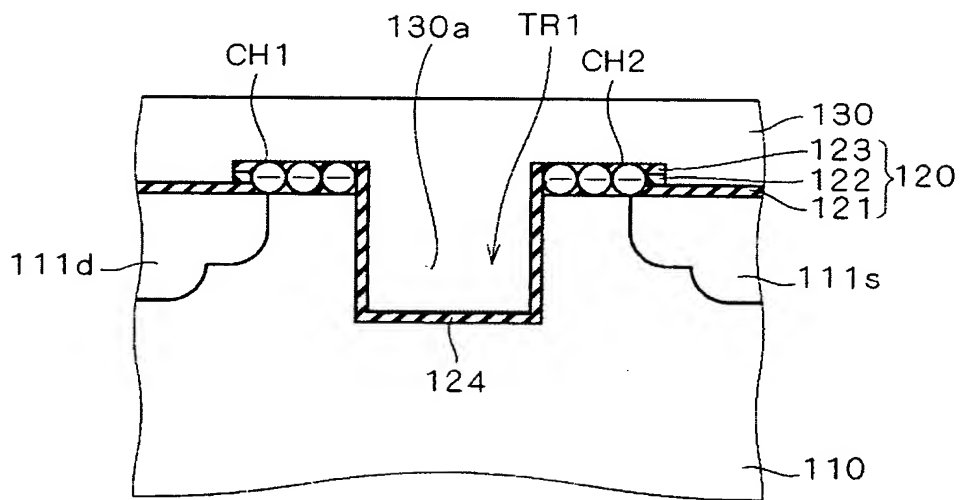
【図 2 6】



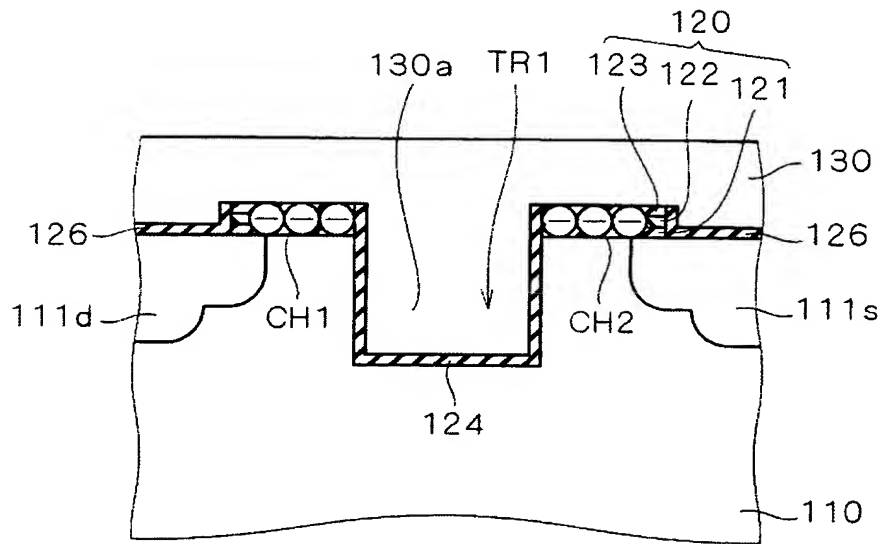
【図 2 7】



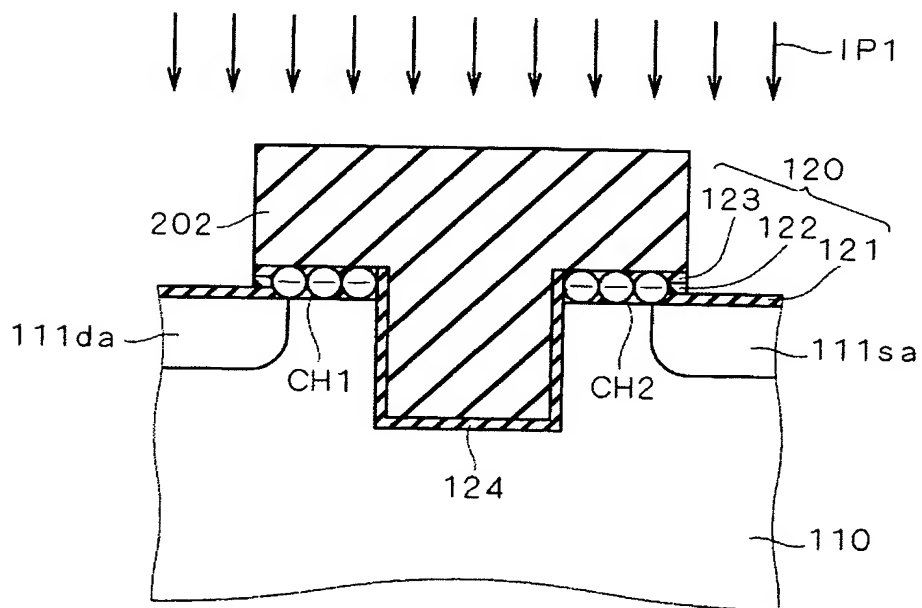
【図 2 8】



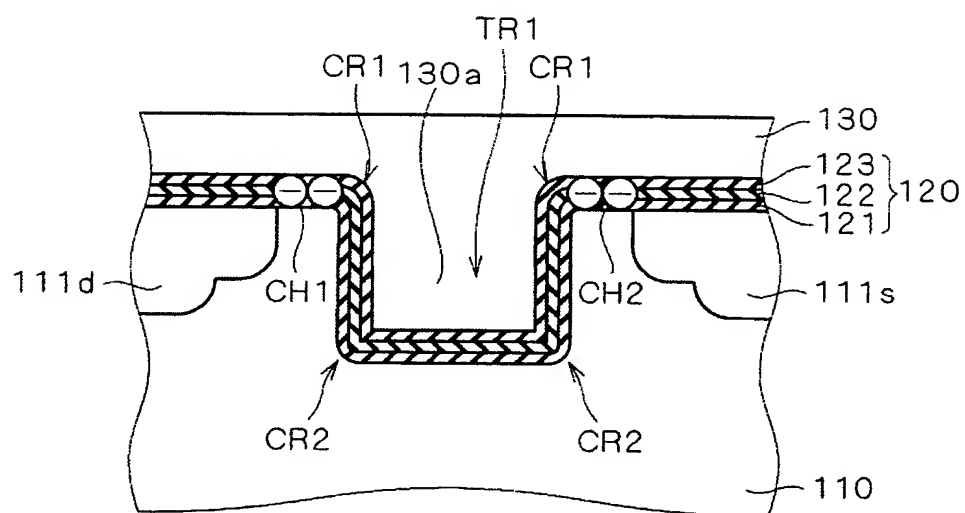
【図 2 9】



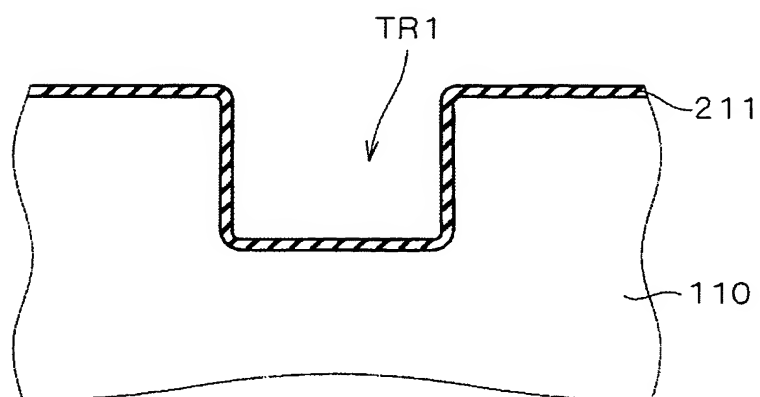
【図 3 0】



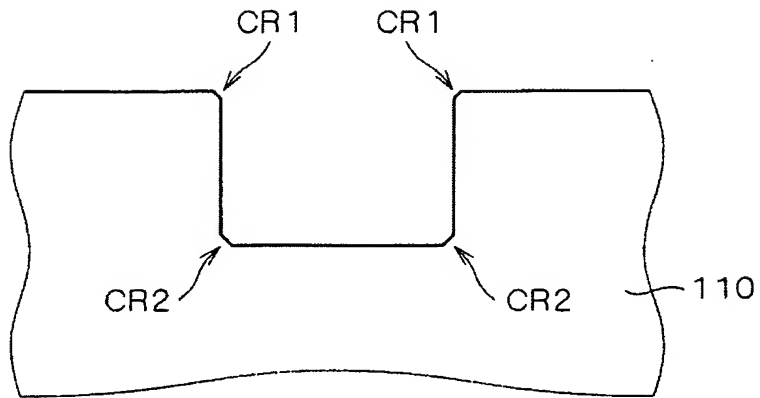
【図 3 1】



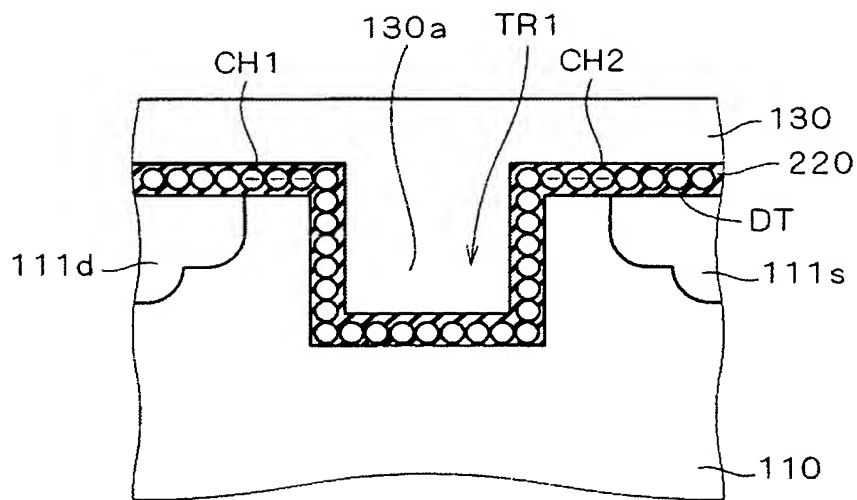
【図 3 2】



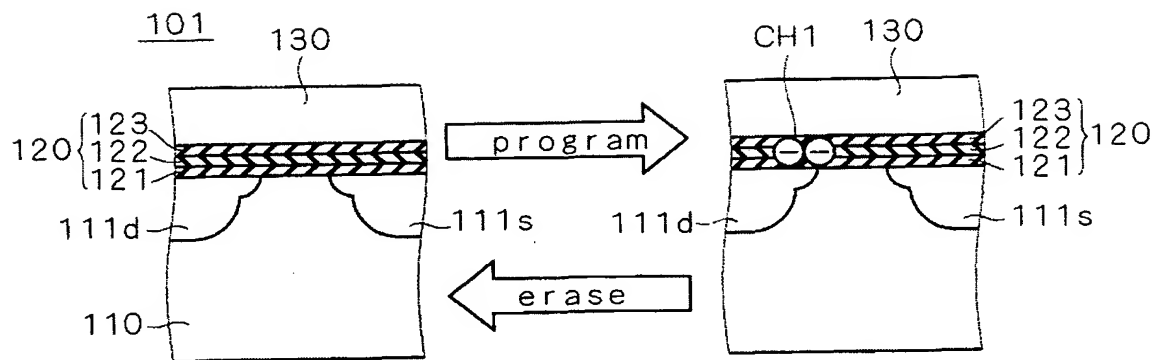
【図 3 3】



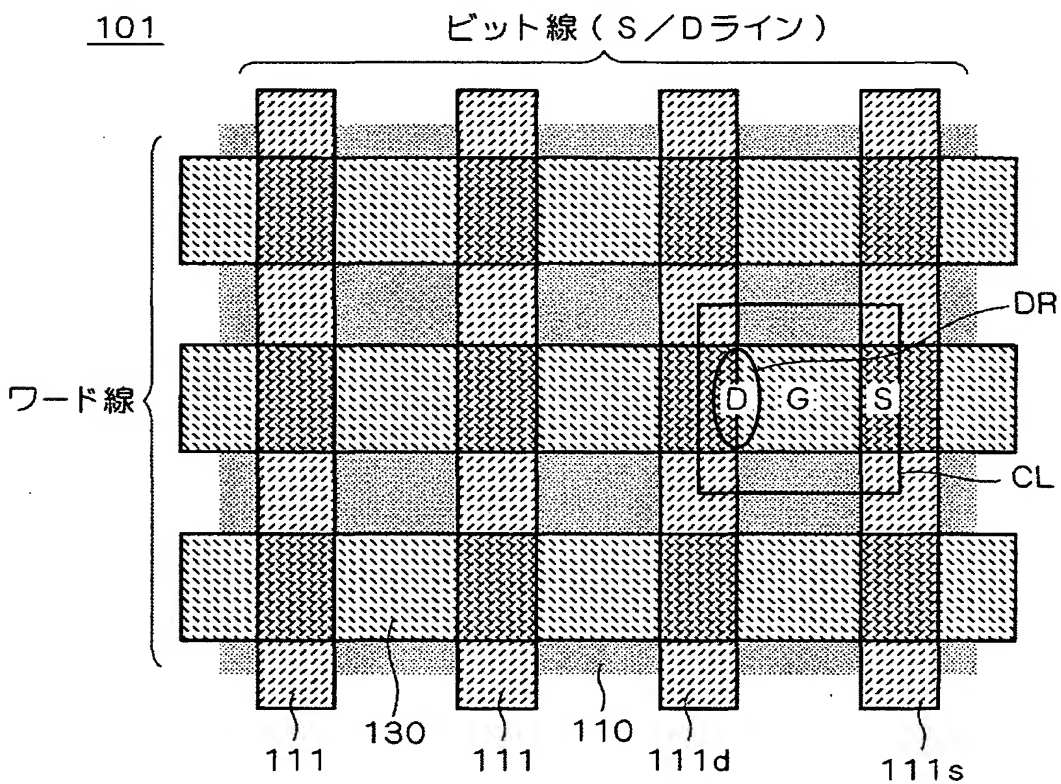
【図 3 4】



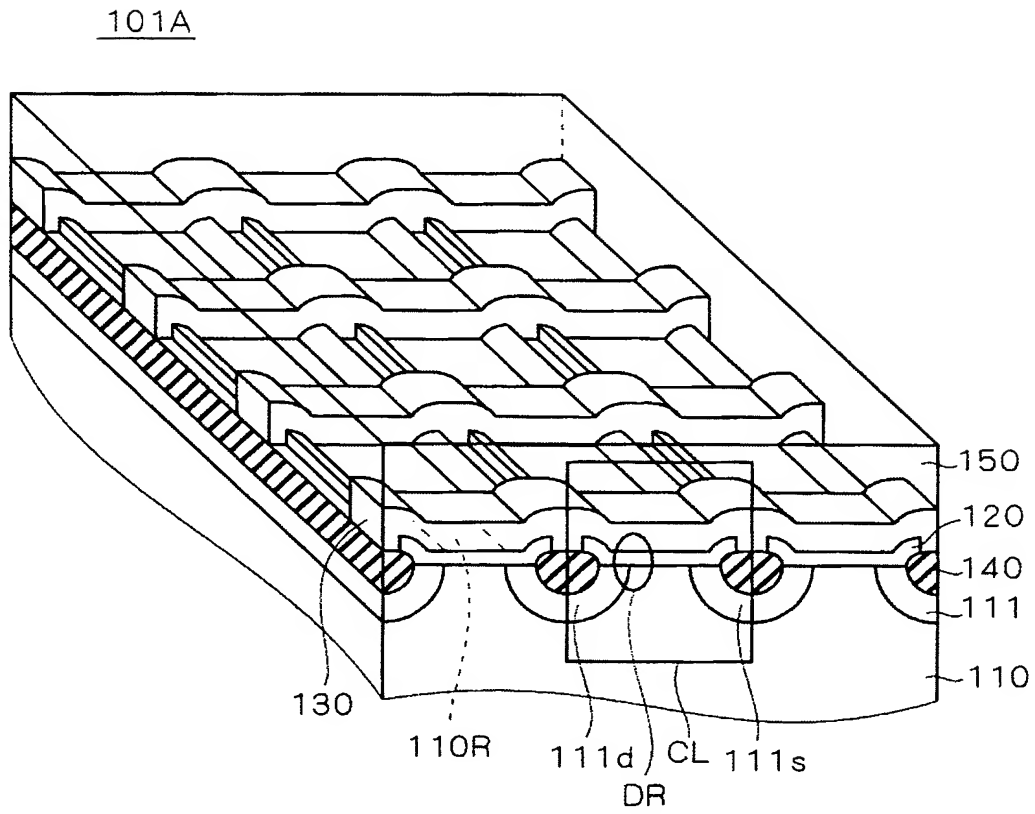
【図 3 5】



【図 3 6】

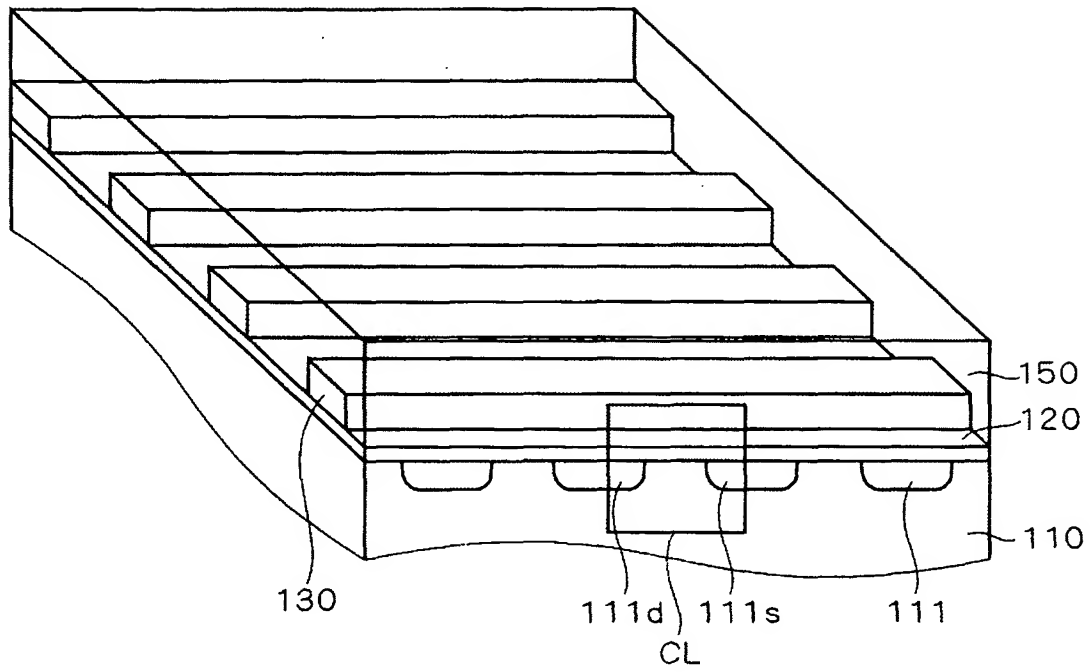


【図 3 7】

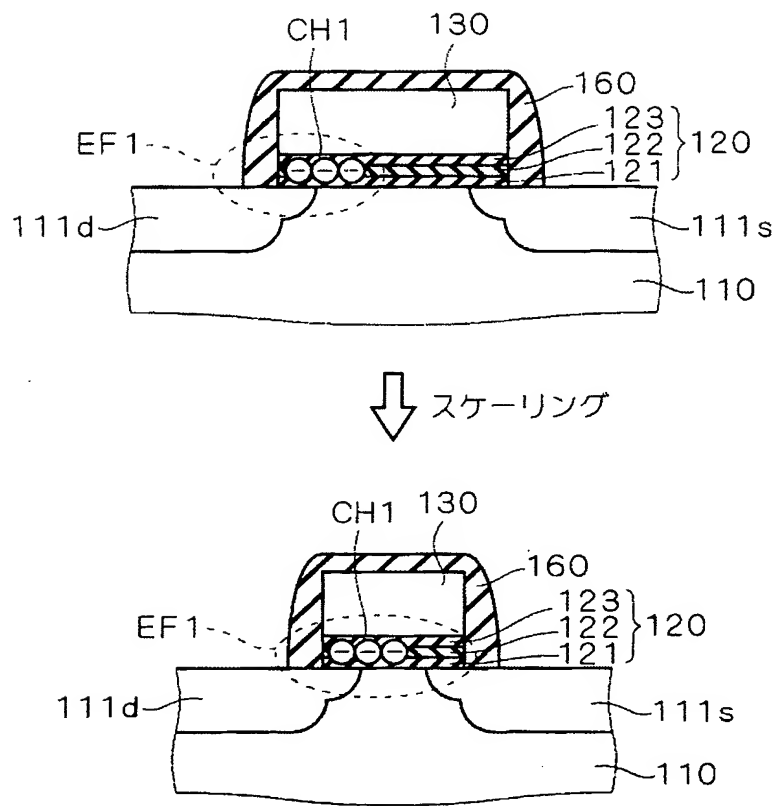


【図 38】

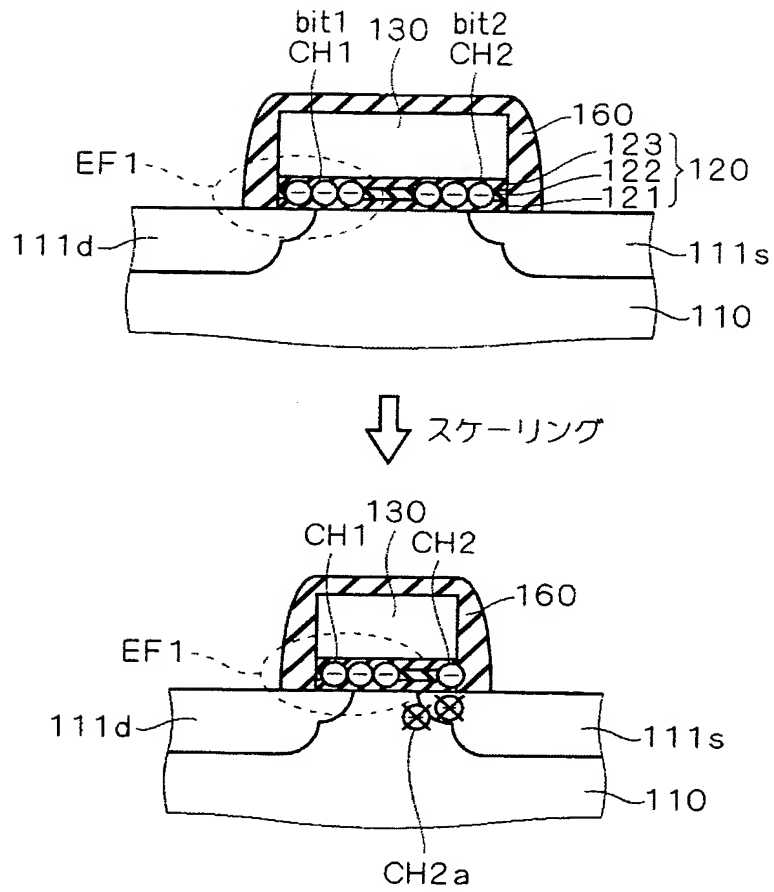
101B



【図 3 9】



【図 4 0】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置およびその製造方法を提供する。

【解決手段】 MONOSトランジスタのチャネル部分に溝TR1を形成する。そして、ゲート絶縁膜120中のシリコン窒化膜122のうち、溝TR1を挟むソース側部分およびドレイン側部分を、電荷CH1、CH2を保持可能な第1および第2の電荷保持部として機能させる。このようにすれば、電荷CH1をトラップさせた後に電荷CH2をトラップさせる場合に、ゲート電極130のうち溝TR1内の部分130aがシールドの役割を果たす。ゲート電極130に固定電位を与えておけば、電荷CH1の誘起する電界EF1の影響が第2の電荷保持部に及ばず、電荷CH2のトラップが妨げられることがないからである。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社